

28-nm FD-SOI 공정 기반의 6-18GHz 7-bit 실시간 지연회로

황진원, 김정현*

*한양대학교(ERICA)

wlsdnjs@hanyang.ac.kr, *junhkim@hanyang.ac.kr

A 6-18GHz 7-bit True Time Delay Circuit in 28-nm FD-SOI

Hwang Jin Won, *Kim Jung Hyun

*Hanyang Univ(ERICA)

요약

본 논문은 28 nm fully depleted-silicon-on-insulator(FD-SOI) 공정을 사용하여 switched-line 구조 기반의 7-bit 실시간 지연회로를 설계하였다. 자유로운 광대역 빔포밍(beam-forming) 제어를 위해 군지연(group delay) 분해능과 최대 군지연은 각각 1ps 와 127ps로 선정하였다. 6-18GHz의 주파수 대역에서 전송선로(transmission line)와 전대역 통과 네트워크(All-pass network)를 지연셀(delay cell)로 사용하여 $0.518mm^2$ 의 작은 코어 면적에서 효과적으로 군지연을 구현하였다.

I. 서론

최근 전자전이나 차세대 무선 통신 시스템에서 초광대역 위상 배열 안테나 시스템을 많이 사용한다. 실시간 지연회로는 빔 스쿼팅 현상 (beam-squinting phenomenon)을 완화하기 위해 광대역 빔포밍에서는 필수적인 부품으로 손꼽힌다[1]. 실시간 지연회로로 가장 많이 활용되는 구조는 switched-line 구조이며 추가적인 DC power 소모 없이 단순한 on/off 신호를 이용해 효과적으로 군지연을 제어할 수 있다는 장점이 있다. 본 논문에서는 28nm FD-SOI 공정을 사용해 6-18GHz의 주파수 대역에서 동작하는 실시간 지연회로를 디자인하였다.

II. 본론

Fig 1은 switched-line 구조를 기반으로 하는 7-bit 실시간 지연회로의 block diagram이며 τ 는 목표로 하는 군지연 분해능을 의미한다. 각 bit는 지연셀, 기준 셀(reference cell)과 single-pole-double-throw(SPDT) 스위치로 이루어져 있다.

일반적으로 큰 군지연을 구현할 때 전송선로는 너무 큰 면적을 차지하기 때문에 16ps 이상의 군지연을 구현하는 bit는 2차 전대역 통과 네트워크를 지연셀로 사용하였다. 하지만 작은 군지연을 구현하는 bit의 경우, 인덕터와 커패시터를 사용하는 것이 더 비효율적이기 때문에 전송선로 기반의 지연셀을 사용하였다. 두 가지 지연 셀 모두 이상적으로는 주파수에 대해 독립적인 임피던스를 갖는다는 특성이 있어 임피던스 불일치로 인한 부하 효과 (loading effect)를 발생시키지 않는다.

실시간 지연회로에 사용되는 SPDT 스위치의 임피던스 특성도 군지연 특성을 악화시킬 수 있기 때문에 임피던스 정합용 인덕터를 SPDT 스위치의 입력단과 출력단에 모두 사용하였다.

28nm FD-SOI 공정을 사용하여 디자인한 6-18GHz 주파수 대역에서 동작하는 7bit 실시간 지연회로의 layout은 Fig 2. 와 같다. 비교적 크기가 작은 전송선로 기반의 bit를 실시간 지연 회로의 입력단과 출력단에 각각 2개 bit 씩 배치하고 큰 군지연 bit를 중앙에 배치하였다. 실시간 지연회로의 군

지연 시뮬레이션 결과는 Fig 3.와 같다. 이 때 최대 지연 상태의 normalized delay variation(NDV)는 8.12%로 동작 주파수 대역에서 평평한 군지연 특성을 확인할 수 있다.

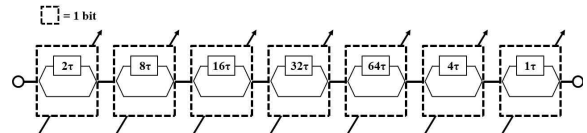


Fig 1. Switched-line 구조 기반의 7-bit 실시간 지연회로의 block diagram

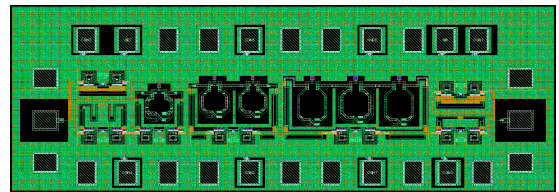


Fig 2. 28nm FD-SOI 공정을 사용한 Switched-line 구조 기반의 7-bit 실시간 지연회로의 layout

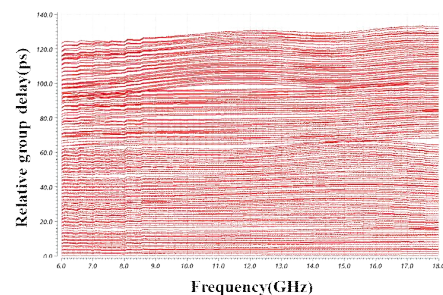


Fig 3. 디자인한 실시간 지연회로의 모든 지연 상태에 대한 상대 군지연 시뮬레이션 결과

III. 결론

본 논문에서는 28nm FD-SOI 공정을 사용하여 6-18GHz 주파수 대역에서 동작하는 실시간 지연회로를 $0.518mm^2$ 의 작은 코어 면적에서 효과적으로 디자인하였고 최대 지연 상태에서 8.12%의 NDV를 갖음으로 그 효능을 확인하였다.

ACKNOWLEDGMENT

The EDA tool was supported by the IC Design Education Center(IDEC), Korea.

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (RS-2024-00358687).

참 고 문 헌

- [1] J. Wang, D. Hao, W. Zhang, X. Liu, Z. Li, and Y. Liu, "A 4-20 GHz switched-line true time delay in GaAs pHEMT technology," *Microelectron. J.*, vol. 145, no. 106127, pp. 1-8, March 2024.