

편향 잡음 환경에서 Three-quarters LR 회로의 비대칭 스케줄링 분석

김홍준, 김민주, 허준*

고려대학교*

hongjunkim98@korea.ac.kr, mindy0522@korea.ac.kr, *junheo@korea.ac.kr

Analysis of Asymmetric Scheduling for Three-quarters LR Circuits under Biased Noise

Hongjun Kim, Minju Kim, Jun Heo*
Korea Univ.

요약

본 논문은 초전도 큐비트의 Z-bias 특성을 고려하여 상대적으로 Z 체크 대비 X 체크의 빈도를 높이는 비대칭 스케줄링을 적용함으로써, 제한된 연결성을 가진 Three-quarters LR 회로가 기존의 대칭적 방식보다 우수한 성능을 달성할 수 있음을 입증한다.

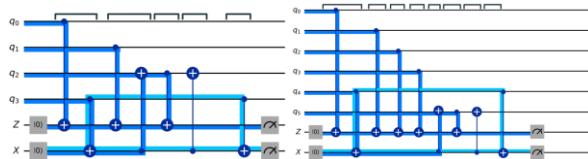
I. 서론

양자 컴퓨터의 실현을 위해서는 양자 오류 정정(QEC)이 필수적이며, 과거의 Surface Code에 이어 현재는 QLDPC Code가 QEC를 수행하는 데 유망한 방법으로 떠오른다[1]. 그러나, 이 Code들은 큐비트 간 복잡한 연결성을 요구하며, 초전도 큐비트와 같은 2D-toric 평면 구조에서는 이 연결성을 물리적으로 구현하기 어렵다. 이 문제를 완화하기 위해 Zhao et al.은 Routing 기법을 통해 큐비트의 물리적 연결성을 줄이고 Stabilizer를 측정하는 'Three-quarters LR 회로'를 제안하였다[2]. 본 논문은 Zhao가 제안하는 회로를 Stim 시뮬레이터로 실제 초전도 큐비트의 편향 오류 특성에 맞게 스케줄링을 하여 향상된 논리 오류율 성능을 보여준다.

II. 본론

A. Three-quarters LR 회로

Zhao가 제안하는 회로는 기존 SWAP 게이트를 활용한 Connectivity 완화 방식보다 적은 수의 추가 CNOT 게이트를 요구한다. 기존 방식은 물리 큐비트를 옮기기 위해 왕복 거리 1 당 CNOT 연산 6 개가 필요하지만, Routing 기법을 활용한다면 거리 2 당 3 개의 추가 CNOT 게이트만 요구한다. 따라서, 실제 회로에서 요구하는 Stabilizer 당 2-큐비트 연산 수가 감소하기에 전체적인 인코딩 성능이 유지된다.



[Figure 1. (a) Surface Code (b)BB Code 의 Z-Stabilizer 측정] [2]

$$|q_0 q_1 q_2 q_3 0_z 0_x\rangle \rightarrow |q_0 q_1 q_2 q_3 (q_0 \oplus q_1 \oplus q_2 \oplus q_3) 0_x\rangle$$

[Eq 1. Figure 1(a) 의 연산 결과]

각 Z-Stabilizer에만 하나의 연결선에 Routing 기법 적용하여 [Figure 1]과 같이 X-체크를 우회로로서 활용하는 게 이 회로의 핵심이다.

(1) Surface Code의 Routing 기법

Surface Code[3]는 하나의 Ancilla 큐비트당 4 개의 Data 큐비트와 연결되어 있어야 하는 depth-4 구조이다. [Figure. 1(a)]는 Connectivity-3 구조이며 q3 큐비트와 Z-ancilla는 직접 연결되어 있지 않다. 그러나, X-ancilla를 경로삼아 q2 큐비트와 연결하고, 결국 [Eq. 1]처럼 q3는 Z-ancilla와 연결성을 획득한다.

이 Routing 회로는 하드웨어 제약을 극복하는 한편, Full Connectivity를 달성하는 하드웨어에 비해 2-큐비트 연산이 추가됨을 확인할 수 있다. Depth-4의 하드웨어는 CNOT 연산 4 개로 각 Data 큐비트가 Z-Ancilla와 연결되지만, Routing 회로에서는 CNOT 연산이 총 6 개 사용된다.

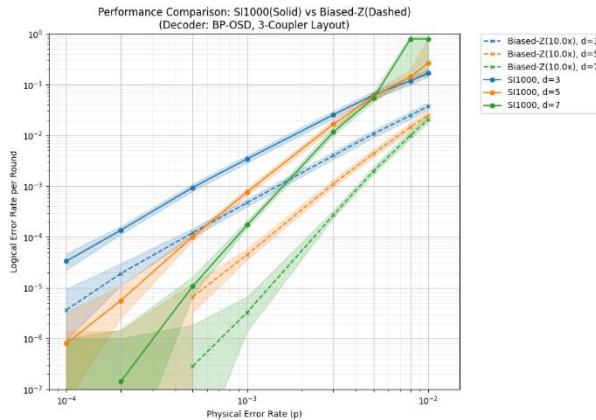
(2) QLDPC Code의 Routing 기법

QLDPC Code의 일종인 BB(Bivariate Bicycle) Code[1]는 단거리 연결 4 개와 장거리 연결 2 개를 요하는 depth-6 구조이며, [Figure. 1(b)]는 장거리 연결선 1 개를 Routing 기법으로 대체한 구조의 회로이다. QLDPC 코드 구현의 핵심 조건인 장거리 연결선 2 개를 단 3 개의 추가 CNOT 연산으로 X-체크의 Routing을 통해 1 개로 완화하는 걸 확인하여 Surface Code와 같은 효과를 달성한 걸 볼 수 있다.

B. 편향 오류 환경에 맞춘 비대칭 스케줄링 시행

Three-quarters LR 회로는 X-체크의 연결선을 유지하고, Z-체크의 연결선 한 개를 제거하는 Routing 기법이 적용된 회로다. 즉, Z-체크는 X-체크에 비해 더 많은 CNOT 연산을 포함하며, 연산 수 증가는

전체적으로 X-오류에 취약해지는 특성으로 이어진다. Stim 시뮬레이터를 활용하여 Depolarization 오류 환경에서 Three-quarters LR 회로를 BB Code에 실험한 결과, 기존 IBM 구현 방식 대비 논리 오류율이 약 10 배 높다[2].

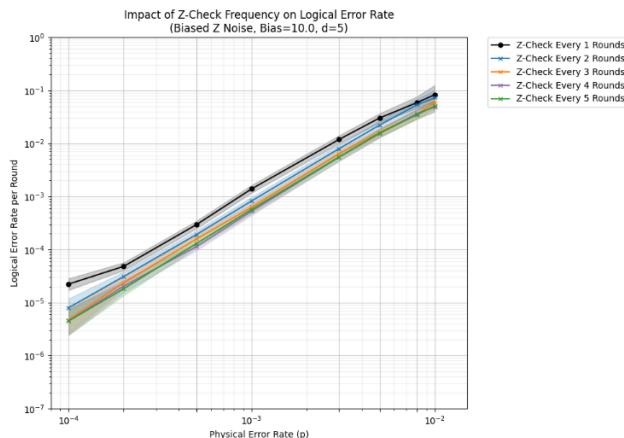


[Figure 2. Surface Code 성능 비교: 대칭 VS Z-비대칭]

반면, Three-quarters LR 회로는 Routing 기법을 Z-Stabilizer에만 적용하기에, 해당 회로는 X-오류 대비 Z-오류에 대해서 우수한 성능을 보일 것으로 기대했다. 그리고, Depolarization 오류 환경 대비 비대칭 오류 환경(Bias: 10)에서 각 거리(d: 3, 5, 7)의 Surface Code에서 약 10 배 이상 나아진 논리 오류율 성능을 보임을 [Figure. 2]에서 확인할 수 있다.

(1) 비대칭 스케줄링 적용

기존 Surface Code 와 QLDPC Code의 Stabilizer 회로 측정은 X 와 Z 체크가 동시에 이뤄지는 한편, Routing 기법에서는 한 체크가 시행될 때 다른 체크가 경로로서 활용되기 때문에 X 체크와 Z 체크가 순차적으로 측정된다. Zhao 는 X 체크와 Z 체크를 1:1 비율로 교차 측정하는 방식을 채택하여 BP-OSD 디코딩 기법을 적용한다[2]. 그러나, 이 논문은 높은 오류율을 가지는 Z-오류를 n 회 측정할 때, X-오류를 1 회 측정해서 편향 오류에 효과적으로 대응할 수 있는 비대칭 비율(n:1)의 체크 측정 방식을 제안한다.



[Figure 3. 비대칭 스케줄링(n:1-5) 후 코드 성능 비교]

Bias 10 인 Z-편향 오류 채널에서의 거리-5 Surface Code를 비대칭 시뮬레이션 한 결과 [Figure. 3]와 같이 출력되었으며, 스케줄링의 비대칭성 상승과 함께 동일 물리 오류율에 대해 논리 오류율이 약 2 배에서 최대 5 배의 낮아짐을 볼 수 있다.

III 결 론

해당 논문은 Surface Code에 Routing 기법을 적절히 적용한다면 편향 잡음 환경이라는 조건 아래 향상된 논리 오류율 성능을 가진다는 걸 보이고 있다. 특히, 기존의 Routing 기법 자체가 Depolarization 오류 환경에 비해 Z-오류 편향 오류 환경에 적합하다는 걸 [Figure. 2]로 확인하였으며, 나아가 기존 Routing 기법에 비대칭 스케줄링을 추가하면 더욱 개선된 논리 오류율 성능을 획득한다고 [Figure. 3]를 통해 보았다.

물론, 비대칭 스케줄링이 결합된 Routing 기법은 더 많은 2-큐비트 연산을 요구하기 때문에 Idling 오류에 취약하며, 오류 전파 위험 또한 더 크다. 나아가, Z-오류에 치중된 스케줄링이기 때문에 X-오류 발생 시, 코드 전체의 오류율이 크게 상승할 위험이 있다.

따라서, 이 위험 요소를 고려하여 향후 연구를 진행한다면 Surface Code 뿐만 아니라 더 까다로운 Connectivity 를 요구하는 BB Code에서도 적용할 수 있을 것이다.

ACKNOWLEDGEMENT

이 논문은 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원-대학 ICT 연구센터(ITRC)의 지원을 받아 수행된 연구임(IITP-2026-RS-2021-II211810, 50%)과 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임 (No. 2020-0-00014, 결합허용 논리양자큐빗 환경을 제공하는 양자운영체계 원천기술 개발, 50%).

참 고 문 헌

- [1] Bravyi, Sergey, et al. "High-threshold and low-overhead fault-tolerant quantum memory." *Nature* 627.8005 (2024): 778-782.
- [2] Zhao, Guangqi, Fei Yan, and Xiaotong Ni. "A simple universal routing strategy for reducing the connectivity requirements of quantum LDPC codes." *arXiv preprint arXiv:2509.00850* (2025).
- [3] Horsman, Dominic, et al. "Surface code quantum computing by lattice surgery." *New Journal of Physics* 14.12 (2012): 123011.