

# RFSoc-위상배열 안테나의 상호운용성 시험 및 검증

김형래, 정주명, 채형주, 양현수, 오혁준\*

광운대학교

hrk2664@kw.ac.kr, joojm00427@gmail.com, \*hj\_oh@kw.ac.kr

## RFSoc-Phased Array Antenna Interoperability Testing and Verification

Hyeongrae Kim, Joomyung Jung, Hyeongju Chae, Hyeonsu Yang, Hyukjun Oh\*

Kwangwoon Univ.

### 요 약

본 논문은 RFSoc(ZCU216) - Phased Array Antenna(CN0566) 통합 실험에서 RF Data Converter IP의 NCO로 CW를 패치안테나로 방사하고 수신하여 ILA/MATLAB으로 검증한 결과, NCO를 +100 kHz 오프셋하면 ADC Spectrum Peak가 약 100 kHz 이동( $\Delta \approx -99.997$  kHz)하여 합성 - 수집 - 분석의 중단 일관성을 확인했다. 2 GHz 근방 신호와 ADC decimation, DAC interpolation, 138.24 MHz 기준 클럭 등 IP 파라미터가 의도대로 동작함을 검증했으며, 이는 향후 PL - PS 전송경로 설계, 배열 보정, 빔포밍/DOA 알고리즘 이식의 기반을 제공한다.

### I. 서 론

디지털 빔포밍과 방향탐지기술은 레이더, 통신, 위성분야에서 다중 표적 분리, 간섭 억제, 스펙트럼 효율 향상에 핵심적인 역할을 한다. 이러한 알고리즘을 실험환경에 적용하기위해선 다채널 동기화, 고속 데이터 수집 및 처리, 프론트엔드 안테나 시스템과의 신뢰할 수 있는 연동이 필수적이다. 최근에는 RF 프론트엔드와 Data Converter, PL(Programmable Logic), PS(Processing System)을 단일 SoC에 집적한 RFSoc 플랫폼이 보급되며 실시간 구현의 복잡도를 낮추고 시스템 규모를 축소할 수 있는 기반이 마련되었다. 그러나 RFSoc와 위상배열 안테나의 실제 결합에서 기준 클럭, LO(Local Oscillator)체계, DDC(Digital Down Conversion)/DUC(Digital Up Conversion) 파이프라인, 데이터 경로 지연과 같은 세부 요소가 상호 의존적으로 작동하므로, 구성 요소 간 상호운용성을 체계적으로 검증하는 과정이 요구된다. 본 연구는 RFSoc와 Phased Array Antenna 통합환경에서 RFDC(RF Data Converter) 기반의 신호 합성, 수집 파이프라인이 예상된 주파수 응답과 타이밍 특성을 재현하는지 실험적으로 확인한다.

### II. 본론

본 연구의 시험환경은 AMD Xilinx사의 RFSoc ZCU216 Evaluation 보드와 Analog Device사의 CN0566 위상배열 안테나로 구성했다. 기존에 PlutoSDR 모듈과 연동되어있던 것을 분리하고, 이를 그림 1과 같이 고속 ADC/DAC활용이 가능한 ZCU216보드와 통합했다. 기준 참조 클럭은 138.24MHz를 사용하고 RFDC 내부 PLL을 통해 ADC/DAC Fabric 클럭과 Mixer/NCO(Numerically Controlled Oscillator)에 필요한 파생 클럭을 안정적으로 공급했다. 관측은 PL 측 System ILA를 이용해 수행하고 동일 구간의 원시 데이터를 Dump하여 MATLAB에서 교차 분석을 진행했다. RFDC설정에서는 송신 경로와 NCO를 활용하여 베이스밴드 기준 +100KHz 오프셋의 연속파를 합성했다. 총 2번에 걸쳐 신호를 수집했다.

데, 각각 NCO가 2.20001GHz와 2.20101GHz인 상황에서 신호를 수집했다. 합성된 신호는 RFSoc의 DAC를 통해 송신패치안테나에 주입하였고, 수신된 출력을 RFSoc의 ADC로 되돌려 수집했다. 이때 ADC 샘플링속도는 2.21184Gbps로 설정했으며, 데이터 수집 과정에서는 NCO 활성화 신호와 유효신호 Valid를 트리거 조건으로하여 System ILA에 동기된 파형을 그림 3과 같이 확보했다. 동일 버스트의 샘플을 파일로 저장한 후 MATLAB에서 파워 스펙트럼 밀도를 추정하여 기대치인  $\pm 100$ KHz대비 실제관측값의 편차를 계산했다.

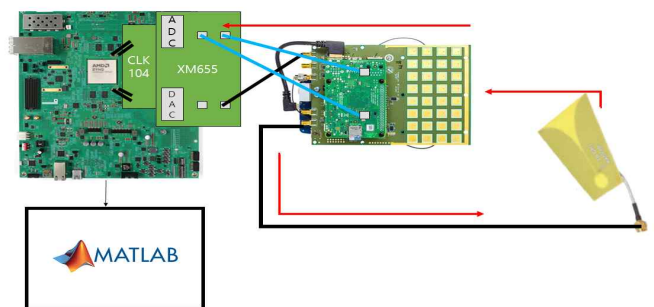


그림 1. 루프백 시험 환경 개략도

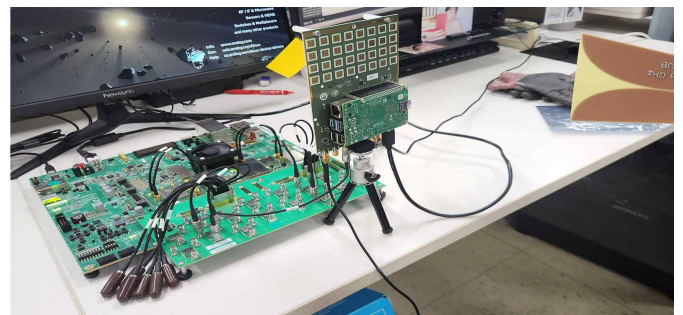


그림 2. ZCU216(RFSoc) + CN0566(Phased Array Antenna)



그림 3. NCO 2.20001GHz일 때, ADC 출력파형(위), DAC 입력파형(아래)

실험 결과, 송신 NCO를 +100 kHz로 설정했을 때 ADC 출력 스펙트럼의 피크는 약 -99.997 kHz로 관측되었다. 이는 관측 대역에서 믹서 부호 관례에 따른 피크 방향이 음수로 나타난 것이며, 기대치 -100 kHz와의 차이는 수 Hz 수준의 오차만이 발생했다. 이러한 결과는 합성 - 수집 - 분석 경로 전반의 부호, 스케일, 클럭 일치가 확립되었음을 의미하며, RFDC의 주파수 합성, PL 경로를 통한 데이터 수집, 그리고 소프트웨어 기반 분석 파이프라인이 서로 일관되게 작동함을 실험적으로 입증한다.

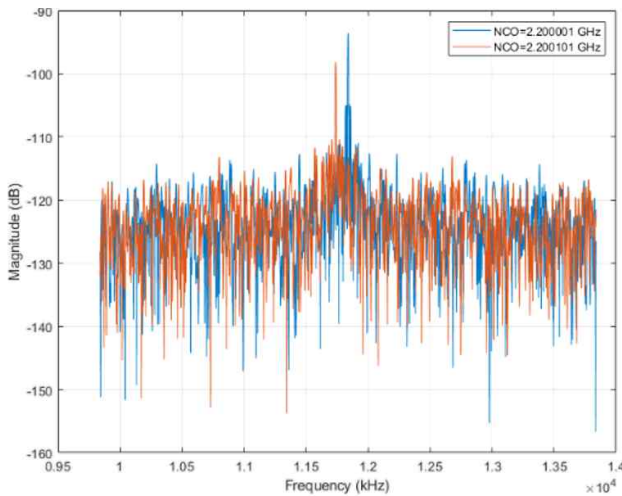


그림 4. Dump 데이터 분석 결과

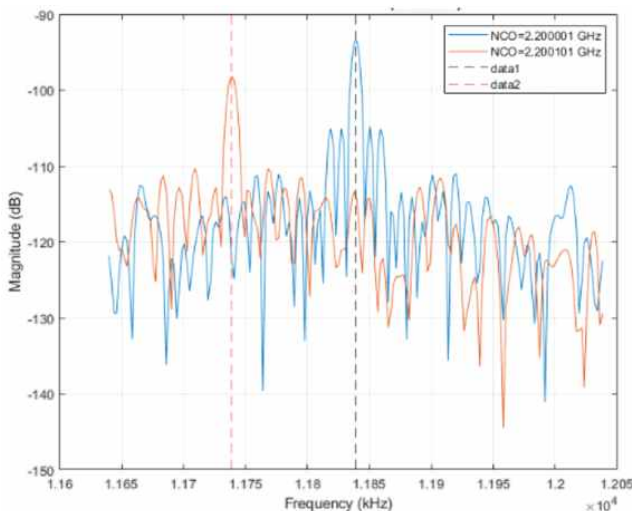


그림 5. NCO 100KHz 차이가 있을 때, 수신 신호의 결과

그림 5에서 보이는 것처럼, NCO=2.20001GHz일 때와 이에 100KHz를 더한 2.20101GHz 일 때, 수신된 두 신호의 차이는 99.997 kHz, 즉 100KHz 가량의 차이가 나는 것을 확인할 수 있다.

### III. 결론

본 연구는 RFSoc와 위상 배열 안테나를 통합한 환경에서, RF Data Converter 기반의 신호 합성 - 수집 - 분석 파이프라인이 설계 의도대로 일관되게 동작함을 실험적으로 입증하였다. 송신 경로의 NCO로 +100 kHz 오프셋을 인가한 후, 수신된 ADC 스펙트럼의 피크가 약 -99.997 kHz로 관측되었으며, 이는 믹서 부호 관례를 고려한 기대치(-100 kHz)와 수 Hz 수준의 차이에 불과하였다. 138.24 MHz 기준 클럭 체계와 2.21184 Gsps ADC 샘플링, DDC/DUC 기본 파라미터 하에서 System ILA의 실시간 관측과 MATLAB 오프라인 분석이 동일 버스트 기준으로 정합됨을 반복 확인함으로써, 합성 - 수집 - 분석 전 구간의 종단(end-to-end) 일관성을 검증했다. 하지만 한계로는 단일 톤(CW) 중심의 검증에 머물렀다는 점, 광대역 신호, 다채널 동기화(채널 간 지연, 지터), 온도와 전원 변동성에 대한 체계적 평가가 미흡하다는 점을 들 수 있다. 향후에는 PL - PS 전송 경로를 포함한 실시간 스트리밍 검증, CN0566 배열 보정(Gain/Phase LUT)과 다채널 위상 정합, 빔포밍/DOA 알고리즘의 온도 및 현장 시나리오 평가로 연구를 확장할 계획이다. 이러한 확장을, 본 논문이 제시한 상호운용성 점검 절차를 실제 응용 수준의 성능 보증으로 연결함으로써 RFSoc 기반 배열 시스템의 실사용 가능성을 한층 높일 수 있을 것으로 기대한다.

### ACKNOWLEDGMENT

본 논문은 2025년도 과학기술정보통신부의 재원으로 우주항공청의 지원을 받아 수행된 연구사업임(No. RS-2021-NR056083).

### 참 고 문 헌

- [1] AMD, "Zynq UltraScale+ RFSoc RF Data Converter v2.6 Gen 1/2/3/DFE LogiCORE IP Product Guide," PG269, v2.6, May 29, 2025. [Online]. Available: <https://docs.amd.com/r/en-US/pg269-rf-data-converter>. Accessed: 2026-01-02.
- [2] A. Dhami, N. N. Parekh and Y. Vasavada, "Digital Beamforming for Antenna Arrays," 2019 IEEE Indian Conference on Antennas and Propagation (InCAP), Ahmedabad, India, 2019, pp. 1-5, doi: 10.1109/InCAP47789.2019.9134687.
- [3] Analog Devices, "CN0566 Phased Array (Phaser) Development Platform," accessed: 2026-01-02. [Online]. Available: <https://www.analog.com/en/resources/reference-designs/circuits-from-the-lab/cn0566.html#rd-overview>, Accessed: 2026-01-02.
- [4] AMD, "CLK104 RF Clock Add-on Card User Guide," UG1437, May 29, 2025. [Online]. Available: <https://docs.amd.com/r/en-US/ug1437-clk104> Accessed: 2026-01-04.