

6-16 GHz 광대역 평탄 이득 특성의 2단 공통소스 저잡음 증폭기 설계

남정후, 장태환*

한양대학교 서울대학원 전자공학과, *한양대학교 ERICA 전자공학부

njh0593@hanyang.ac.kr, *hundredwin@hanyang.ac.kr

A 6-16 GHz Broadband Low-Noise Amplifier Achieving Flat Gain

Nam Jeong Hu, Jang Tae Hwan*

Hanyang Univ. ERICA, *Hanyang Univ. ERICA

요약

본 논문은 TSMC 65 nm CMOS 공정에서 구현된 6-16 GHz 광대역 저잡음 증폭기(LNA)를 제안한다. 제안 회로는 2단 공통소스(CS) 구조이며, 각 단의 이득 피크 주파수를 8 GHz 및 14 GHz로 분리하여 광대역에서 평탄한 이득 특성을 확보하였다. 시뮬레이션 결과, 0.8 V 전원에서 9.8 mW 조건으로 목표 대역에서 20.4 dB 수준의 이득을 확보하였고, 6.5-15.4 GHz에서 ± 0.8 dB 이내의 평탄도를 달성하였다. 입력 정합은 목표 대역 전반에서 -10 dB 수준을 만족하며 평균 잡음지수는 2.12 dB이다. 입력 1 dB 압축점(P1dB)은 -18.3 dBm으로 확인되었고, 안정도 계수 k를 통해 목표 대역에서 $k > 1$ 의 무조건부 안정성을 확인하였다.

I. 서론

광대역 수신기 전단에서는 대역폭뿐 아니라 주파수에 따른 이득 리플이 작아야 시스템 보정 부담이 줄고, 대역 내 신호대잡음비(SNR) 편차가 감소한다. 그러나 CMOS 기반 광대역 LNA는 소자 이득의 주파수 의존성, 정합 네트워크의 제약 및 수동소자 손실로 인해 넓은 대역에서 평탄 이득과 저잡음을 동시에 만족시키기 어렵다. 본 논문에서는 2단 공통소스 구조에서 단별 피크 주파수를 분리하는 방식으로 목표 대역(6-16 GHz)에서 평탄 이득을 구현하고, 저전압(0.8 V)·저전력(9.8 mW) 조건에서의 성능을 제시한다[1],[2].

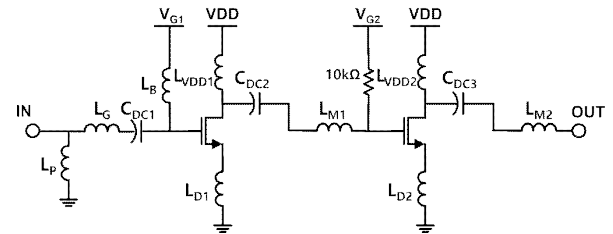


그림 1. 제안 LNA 스케메틱

II. 본론

1) 설계 목표 및 접근 방법

본 설계의 목표는 6-16 GHz에서 (1) 평탄 이득(리플 최소화), (2) 입력 정합, (3) 저잡음, (4) 저전압·저전력 동작을 동시에 만족하는 것이다. 광대역 LNA는 대역을 넓히기 위해 정합 네트워크를 확장할수록 수동소자 손실로 인해 NF가 악화될 수 있고, 반대로 NF를 우선할 경우 특정 협대역에서만 최적화되는 경향이 있다. 이에 본 설계는 “단별 주파수 응답 분담”을 통해 광대역 평탄도를 확보하고, 바이어스 및 매칭 네트워크를 조정하여 저전압 조건에서도 목표 성능을 달성하도록 하였다.

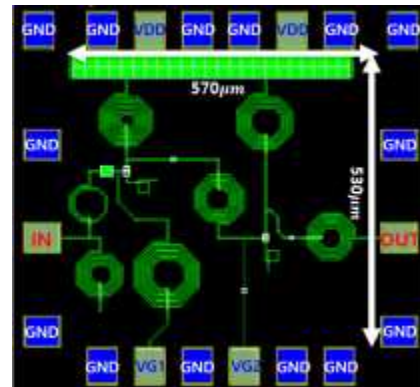


그림 2. 제안 LNA 레이아웃

2) 2단 공통소스 구조 및 역할 분담

2단 공통소스 구조에서 1단은 전체 NF에 지배적인 영향을 미치므로 입력 정합 및 잡음 특성을 우선 고려하고, 2단은 전체 이득을 보장하는 동시에 고주파 이득 저하를 보상하는 역할을 수행한다. 또한 두 단 사이의 단간 결합은 1단 출력 기생용량과 2단 입력 기생용량에 의해 주파수 응답이 크게 변하므로, 단간 매칭 네트워크의 설계는 대역폭 및 평탄도에 직접적인 영향을 준다. 본 설계에서는 단별 피크 분리 및 함께 단간 매칭을 최적화하여 목표 대역에서의 이득 리플을 최소화하였다. 그림 1의 회로에서 바이어스는 $V_{G1}=V_{G2}=0.4$ V이며, 트랜지스터 폭은 1단 $W_1 = 172$ μ m, 2단 $W_2 = 72$ μ m로 설정하였다. 드레인 전류는 $ID_1 \approx 8.7$ mA,

$ID_2 \approx 3.5$ mA로 배분하여 0.8 V에서 총 9.8 mW를 만족한다. 입력, 단간, 출력 매칭은 $L_P \approx 1.3$ nH, $L_G \approx 270$ pH, $L_B \approx 5$ nH, $L_{D1} = L_{D2} \approx 85.6$ pH, $L_{M1} \approx 1.6$ nH, $L_{M2} \approx 1.4$ nH 및 $C_{DC1} \approx 1.5$ pF, $C_{DC2} \approx 200$ fF, $C_{DC3} \approx 140$ fF로 구성하였고, 바이어스 인덕터는 $L_{VDD1} \approx 2.5$ nH, $L_{VDD2} \approx 2.2$ nH를 사용하였다.

3) 피크 이득 주파수 분리 기반 평탄화

광대역 평탄 이득 구현을 위해 1단과 2단의 피크 이득 주파수를 서로 다른 위치로 설정하였다. 1단은 약 8 GHz 부근에서 피크가 나타나도록 설계하여 중·저주파 이득을 보강하고, 2단은 약 14 GHz 부근에서 피크가

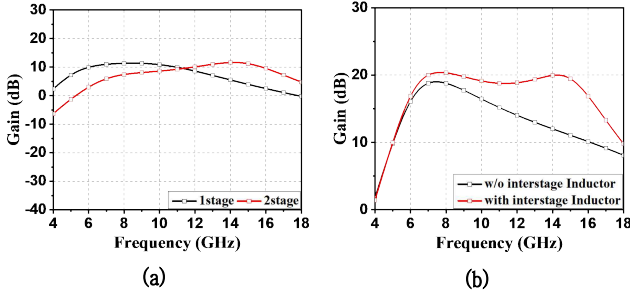


그림 3. 제안 LNA의 (a) 1단과 2단 이득 (b) 인터스테이지 인덕터 유/무 이득

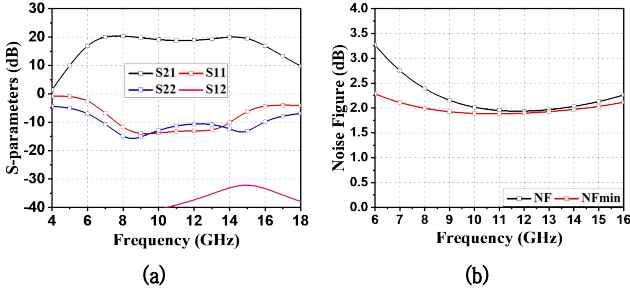


그림 4. 제안 LNA 시뮬레이션 결과 (a) S-파라미터 (b) 잡음지수(NF)

나타나도록 설계하여 고주파에서의 이득 저하를 상쇄한다[3],[4]. 전체 이득은 두 단 이득의 누적으로 표현될 수 있으며,

$$|S_{21, \text{tot}}(f)|_{\text{dB}} \approx |S_{21,1}(f)|_{\text{dB}} + |S_{21,2}(f)|_{\text{dB}}$$

따라서 한 단에서 감소하는 구간을 다른 단의 피킹으로 보상하는 형태가 가능하고, 합성 이득의 주파수 의존성이 완화되어 평탄도가 개선된다. 그림 3 (a)의 1단과 2단의 이득 결과에서와 같이, 피킹 분리 설계는 대역 양 끝단에서 발생할 수 있는 리플 증가를 완화하는 데 효과적이다.

4) 인터스테이지 인덕터를 이용한 고주파 이득 보상

2단 공통소스 LNA에서 1단 출력과 2단 입력의 기생 커패시턴스는 고주파에서 단간 전달을 약화시켜 고주파 이득의 감소를 유발한다. 본 설계에서는 1단-2단 사이에 인터스테이지 인덕터(L_{M1})를 삽입하여 해당 유효 커패시턴스를 보상하고 고주파 이득을 보강하였다. 그림 3 (b)의 비교 결과, 인터스테이지 인덕터가 없는 경우 고주파에서 이득이 급격히 감소하는 반면, 인터스테이지 인덕터를 적용하면 목표 대역(6~16 GHz)에서 이득이 상대적으로 평탄하게 유지됨을 확인하였다.

5) 시뮬레이션 결과 및 분석

제안 LNA는 TSMC 65 nm CMOS 공정에서 구현되었으며, 0.8 V 전원에서 9.8 mW의 소모전력 조건으로 동작한다. 그림 4의 S-파라미터 결과에서 S21은 6~16 GHz에서 20.4 dB 수준의 이득을 확보하였고, 특히 6.5~15.4 GHz 구간에서 ± 0.8 dB 이내의 평탄도를 달성하였다. 입력 정합은 S11으로 평가하였으며, 대역 전반에서 -10 dB 수준을 만족한다. 그림 4의 잡음 특성 결과에서 평균 NF는 2.12 dB이며, 이는 광대역 입력 정합 및 평탄 이득 설계와 병행하여 확보된 저잡음 성능이다. 또한 입력 1 dB 압축점(P1dB)은 -18.3 dBm으로 확인되었다. 안정도는 안정도 계수 k로 평가하였으며, 목표 대역(6~16 GHz)에서 $k > 1$ 을 만족하여 무조건부 안정성을 확보하였다.

표 1. 제안 LNA의 성능

공정	TSMC 65 nm CMOS
VDD 전압	0.8 V
전력	9.8 mW
구조	2단 공통소스
동작 대역	6~16 GHz
최대 이득(S21)	20.4 dB
평탄도	6.5~15.4 GHz에서 ± 0.8 dB
입력정합(S11)	7.2GHz~14.2 GHz에서 -10 dB
평균 NF	2.12 dB
입력 P1dB	-18.3 dBm
사이즈	0.302 mm ²
FOM	197.7

$$\text{FoM} = \frac{\text{Gain}[\text{abs.}] \times \text{BW}_{3\text{dB}}[\text{GHz}]}{(F-1)[\text{abs.}] \times P_{dc}[\text{mW}]}$$

III. 결 론

본 논문에서는 6~16 GHz에서 동작하는 2단 공통소스 LNA를 제안하였다. 단별 피크 이득 주파수를 8 GHz/14 GHz로 분리하여 광대역 평탄 이득을 구현하였고, 0.8 V / 9.8 mW 조건에서 20.4 dB 이득, 6.5~15.4 GHz에서 ± 0.8 dB 평탄도, 평균 NF 2.12 dB 및 P1dB -18.3 dBm을 확인하였다. 또한 $k > 1$ 을 만족하여 무조건부 안정성을 확보하였다.

ACKNOWLEDGMENT

The EDA Tool was supported by the IC Design Education Center.

참 고 문 헌

- [1] Y. Park, K. Choe, and S. Jeon, "A 6.1 to 41.5 GHz CMOS Low-Noise Amplifier for Wideband and Highly Linear Applications," J. Electromagn. Eng. Sci., vol. 25, no. 2, pp. 154–159, Mar. 2025.
- [2] H. Yu, Y. Chen, C. C. Boon, P.-I. Mak, and R. P. Martins, "A 0.096-mm² 1–20 GHz Triple-Path NoiseCanceling Common-Gate/Common-Source Low-Noise Amplifier," IEEE Trans. Microw. Theory Techn., vol. 68, no. 1, pp. 144–159, Jan. 2020.
- [3] H. W. Choi, C. Y. Kim, and S. Choi, "6.7–15.3 GHz High - Performance Broadband Low - Noise Amplifier With Large Transistor and Two-Stage Broadband Noise Matching," IEEE Microw. Wirel. Compon. Lett., vol. 31, no. 8, pp. 949–952, Aug. 2021.
- [4] K. Wang and H. Zhang, "A 22 to 47 GHz 2-Stage LNA With 22.2 dB Peak Gain by Using Coupled L-Type Interstage Matching Inductors," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 67, no. 12, pp. 4607–4617, Dec. 2020.