

28-nm CMOS 기반 32 - 40 GHz 2단 캐스코드 저잡음 증폭기 설계

이정수, 장태환*

한양대학교 서울대학원 전자공학과, *한양대학교 ERICA 전자공학부

ljsljs0751@hanyang.ac.kr, *hundredwin@hanyang.ac.kr

Design of a 32 - 40 GHz Two-Stage Cascode Low-Noise Amplifier in 28-nm CMOS

Lee Jeong Su, Jang Tae Hwan*

Hanyang Univ., *Hanyang Univ. ERICA

요 약

본 논문에서는 Samsung 28nm CMOS 공정을 이용해 33 GHz 대역용 2단 캐스코드 저잡음 증폭기를 설계하였다. 제안 저잡음 증폭기는 밀리미터파 대역에서의 이득 기록을 완화하고 3-dB 대역폭을 만족하기 위해 이득 피킹 기법을 적용하여 이득 평탄화를 달성하였다. 전자기(EM) 시뮬레이션 결과, 전압 이득(S21)은 33 GHz에서 최대 22.05 dB를 보이며 3 dB 대역폭은 30.6 - 35.3 GHz로 확인되었다. 입력 및 출력 정합은 각각 $S_{11} < -10\text{dB}$ (32 - 40 GHz), $S_{22} < -10\text{ dB}$ (32.9 - 37 GHz)를 만족하며, 역방향 격리는 $S_{12} < -48.5\text{ dB}$ 로 우수한 포트간 격리 특성을 제공한다. 또한 평균 잡음 지수는 3.9 dB, 소모 전력은 14.4 mW이며, 칩 면적은 0.63 mm^2 이다. 제안 저잡음 증폭기는 33 GHz 대역 mmWave 수신기 프론트엔드에 요구되는 고이득·저잡음·우수한 격리 성능을 EM 시뮬레이션 기반으로 입증하였다.

I. 서 론

최근 5세대 이동통신, 위성 통신, 레이더 등에서 밀리미터파 대역의 광대역 프론트엔드 수요가 빠르게 증가하고 있다. 통신 속도와 대역폭 요구가 커지면서 동작 주파수는 점차 고주파로 확장되고, 이에 따라 밀리미터파 대역의 활용 범위 또한 확대되는 추세다. 이러한 흐름 속에서 광대역 수신 시스템은 고속 무선 링크, 고해상도 레이더 및 이미징, 상용 및 군용 광대역 무선 시스템 등 다양한 응용에서 핵심 요소로 자리 잡고 있다 [1], [2]. 수신기에서 저잡음 증폭기는 첫 단 증폭기로서 전체 수신기 성능을 좌우하는 핵심 블록이다. 밀리미터파와 프론트엔드 관점에서 저잡음 증폭기는 충분한 이득과 낮은 이득 리플을 확보함과 동시에, 입·출력 정합, 낮은 잡음지수, 높은 선형성을 함께 만족해야 한다. 그러나 동작 주파수가 높아질수록 수동소자의 기생성분과 능동소자의 차단 주파수 한계로 인해 대역폭과 이득을 동시에 확보하기가 어려워지며, 광대역 설계에서는 입력 정합과 잡음 정합 사이의 상충 관계 또한 존재한다. 또한 실제 설계에서는 최소 잡음지수와 최대 이득을 동시에 달성하기 어렵다는 점이 잘 알려져 있어, 목표 성능에 맞춘 균형점 설정이 필수적이다 [2].

이러한 한계를 극복하기 위해 다양한 대역 확장 기법이 제안되어 왔다. 예를 들어, 대역 확장을 위해 피드백 기법이 널리 사용되지만, 저항 성분이 포함될 경우 잡음 및 손실 증가로 인해 이득과 잡음지수 측면에서 제약이 발생할 수 있다 [3], [4]. [5]. 또한 넓은 입력 정합 대역을 확보하기 위해 다중 공진을 활용하는 방법으로, 입력 매칭 네트워크에 다중 공진점을 형성하여 정합 대역을 확장하는 기법도 보고되었다.

따라서 밀리미터파 광대역 프론트엔드용 저잡음 증폭기는 넓은 정합 대역과 낮은 잡음 성능을 유지하면서도, 충분한 이득과 평탄한 주파수 응답을 동시에 달성해야 한다. 본 논문에서는 이러한 요구를 만족하기 위해 충분한 이득 확보와 광대역 정합을 위한 2단 캐스코드 구조를 채택한다. 또한 대역 내 이득 응답을 조절하기 위해 피킹 저항을 도입하여 주파수 응답의 피킹을 제어하고, 목표 3데시벨 대역폭이 만족되도록 설계 변수를 최적화

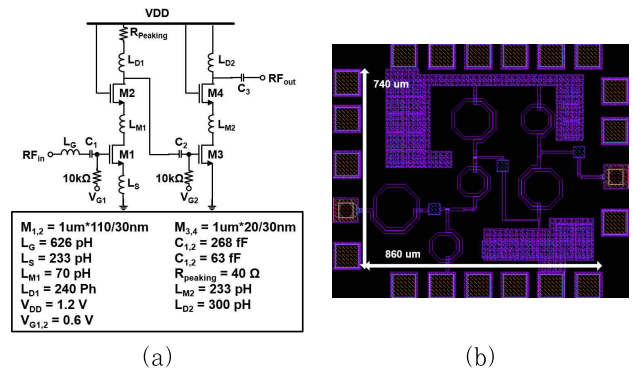


그림 1. 제안된 저잡음 증폭기의 (a) 스키매틱 (b) 레이아웃

한다. 마지막으로 제안 구조의 성능을 시뮬레이션 및 또는 측정 결과로 검증하고, 기존 연구와의 비교를 통해 유효성을 제시한다.

II. 본론

본 논문에서는 32 - 40 GHz mmWave 대역에서 높은 이득과 충분한 대역폭을 동시에 확보하기 위해 28-nm CMOS 기반 LNA 구조를 설계하였다. mmWave 대역에서 저잡음 증폭기 성능은 이득뿐 아니라 입력/출력 정합과 역방향 격리, 그리고 주파수 응답의 형상에 의해 좌우되므로, 본 설계는 이득과 대역폭, 격리도를 동시에 만족시키는 구조를 우선적으로 고려하였다. 일반적으로 공통소스 증폭기는 높은 전압 이득을 얻는 데 유리하지만, 주파수가 증가할수록 기생 캐패시턴스에 의한 피드백 및 각 노드의 기생 성분이 지배적이 되어 대역폭이 좁아지는 한계가 있다. 반대로 공통게이트 증폭기는 입출력 간 결합이 상대적으로 작고 고주파에서 안정적인 동작을 유도할 수 있어 광대역 구현에 유리하지만, 단독 사용 시 전압 이득이 낮아 목표 이득을 만족하기 어렵다. 따라서 본 논문에서는 두 구조의 장점을 동시에 확보하기 위해 캐스코드 구조를 채택하였다. 캐스

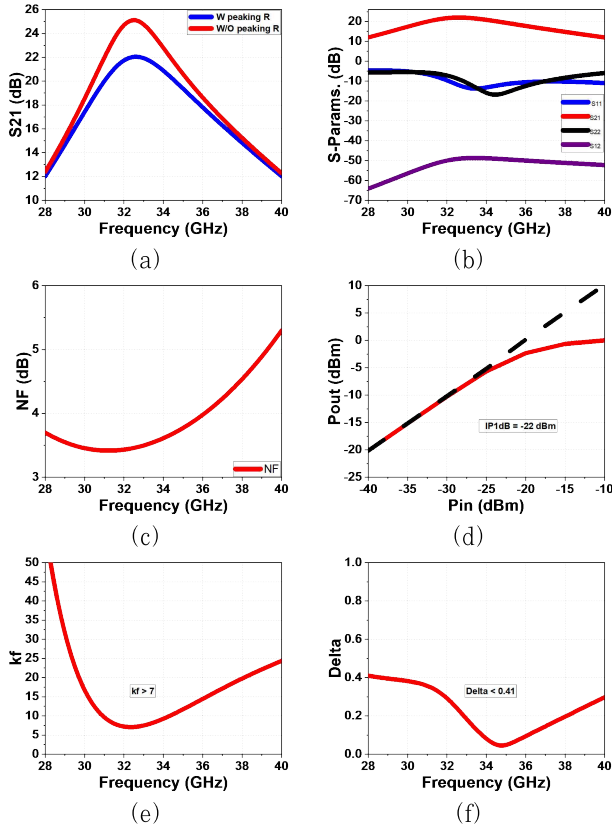


그림 3. 제안된 저잡음 증폭기의 (a) 이득 (b) S-Parameter (c) 잡음 지수 (d) 입력 P1dB (e) 안정도 계수 (f) 델타

코드 구조는 공통 소스 트랜지스터의 드레인 전압 스윙을 제한함으로써 기생 캐패시턴스 경로를 통한 피드백을 감소시키고, 결과적으로 입력과 출력 사이의 격리 및 역방향 누설 억제제를 통해 mmWave 대역에서의 안정적인 증폭을 가능하게 한다. 또한 단일 캐스코드로는 패드, 배선, 수동소자의 기생 손실까지 포함한 조건에서 목표 이득을 확보하기 어려울 수 있으므로, 전체 이득 마진을 확보하고 설계 자유도를 확장하기 위해 2단 캐스 코드로 구성하였다.

2단 구조에서 전체 성능은 단간 결합 조건에 크게 의존하므로, 1단 출력과 2단 입력 사이에 인덕터를 삽입하였다. 해당 인덕터는 단간 임피던스 변환을 수행하여 1단 출력 노드가 2단 입력의 게이트 기생 용량에 의해 과도 하게 로딩되는 현상을 완화하고, 목표 주파수 대역에서의 전력 전달을 향상시킨다. 즉, 캐스코드 사이의 인덕터를 통해 단간 매칭의 자유도를 확보 함으로써 이득 피크 위치와 이득 평탄도, 대역폭을 보다 유연하게 조정할 수 있도록 설계하였다. 한편 mmWave 저잡음 증폭기는 공진 기반 정합으로 인해 특정 주파수에서 이득이 과도하게 상승하거나 대역 외곽에서 급격히 감소하는 등 주파수 응답이 민감하게 변할 수 있다. 본 설계에서는 목표 3-dB 대역폭을 만족시키기 위해 1단 드레인 경로에 피킹 저항을 도입하였다.

피킹 저항은 드레인 부하 네트워크의 Q를 제어하여 이득 피크를 조절하고 응답 형상을 보정함으로써, 결과적으로 원하는 3-dB 대역폭을 만족하는 주파수 응답을 형성하도록 한다. 최종적으로 제안 구조는 캐스코드 기반의 높은 격리 특성과 2단 이득 확장, 캐스코드 사이에 인덕터 삽입을 통한 단간 매칭 최적화, 그리고 피킹 저항을 이용한 대역폭 조정을 결합하여, 목표 mmWave 대역에서 이득과 대역폭을 동시에 만족하는 저잡음 증폭기 설계 방향을 제시한다.

표 1. 제안된 저잡음 증폭기 성능

공정	28-nm CMOS
VDD	1.2 V
소모 전력	14.4 mW
설계 기법	2단 캐스코드
대역폭	32 - 40 GHz
최대 이득 (S21)	22.05 dB
평균 잡음 지수	3.9 dB
입력 P1dB	-22 dBm
칩 면적	0.63 mm ²

III. 결론

본 논문에서는 32 - 40 GHz에서 동작하는 28nm CMOS 2단 캐스코드 저잡음 증폭기를 제안하였다. 전자기 시뮬레이션을 포함한 전체 검증을 통해, $S_{11} < -10$ dB (32 - 40 GHz), $S_{22} < -10$ dB (32.9 - 37 GHz)를 확인하였다. 또한 최대 이득 22.05 dB, 3dB 대역폭 4.7 GHz(30.6 - 35.3 GHz), $S_{12} < -48.5$ dB를 달성하였다. 평균 NF 3.9 dB, IP1dB -22 dBm, $K_f > 7$ 및 $\Delta < 0.41$ 을 만족하여 안정 동작을 확보하였다.

ACKNOWLEDGMENT

The EDA Tool was supported by the IC Design Education Center.

참 고 문 헌

- [1] H. Ji, Z. Li, H. Zhang and C. Wan, "A 15 - 28 GHz Low-Noise Amplifier With 0.75-dB Gain Ripple Across the Full K-Band," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 72, no. 12, pp. 7671-7680, Dec. 2025
- [2] G. O. Arican, B. Dokmetas, N. Akcam and E. Yazgan, "28-36 GHz MMIC LNA Design for Satellite Applications," 2019 11th International Conference on Electrical and Electronics Engineering (ELECO), Bursa, Turkey, 2019, pp. 726-729
- [3] J. H. Jiang, L. Gao and X. Y. Zhang, "A 0.5 - 44-GHz LNA With 23-dB Peak Gain and 3-dB Average NF in 28-nm CMOS Technology," in IEEE Transactions on Microwave Theory and Techniques, vol. 73, no. 12, pp. 10855-10864, Dec. 2025
- [4] S. Jamil, M. Usman, H. Atiq and R. Ramzan, "28-32 GHz Wideband LNA for 5G Applications," 2021 1st International Conference on Microwave, Antennas & Circuits (ICMAC), Islamabad, Pakistan, 2021, pp. 1-4,
- [5] B. Zhang and X. Liu, "A 22.4-to-35-GHz Two-Stage Low-Noise Amplifier With Triple-Coupled Transformer-Based Input Matching Technique in 65-nm CMOS," in IEEE Transactions on Microwave Theory and Techniques, vol. 73, no. 12, pp. 10336-10346, Dec. 2025, doi: 10.1109/TMTT.2025.3606989.