

극저온 수신기 응용을 위한 인버터 기반 출력단 구조의 저전력 광대역 저잡음 증폭기

이세민, 장태환*

한양대학교 서울대학원 전자공학과, *한양대학교 ERICA 전자공학부

asnger57@hanyang.ac.kr, *hundredwin@hanyang.ac.kr

A Low-Power Wideband LNA with Inverter-Based Output Stage for Cryogenic Receiver Applications

Lee Se Min, Jang Tae Hwan*

Hanyang Univ., *Hanyang Univ. ERICA

요약

본 논문은 삼성 28nm CMOS 공정을 기반으로 극저온 수신기 응용을 위한 인버터 기반 출력단 구조의 저전력 광대역 저잡음 증폭기(Low-Noise Amplifier, LNA)를 제안한다. 양자컴퓨터 시스템의 확장에 따라 극저온 환경에서 동작 가능한 고성능 수신 회로에 대한 요구가 증가하고 있으며, 특히 제한된 냉각 용량을 고려할 때 수신기 전단의 저전력·저잡음 특성은 시스템 성능을 결정하는 핵심 요소로 작용한다. 기존의 공통 게이트-공통 소스(Common-Gate-Common-Source, CG-CS) 기반 LNA 구조는 광대역 입력 매칭과 안정적인 이득 확보에 유리하지만, 높은 이득을 얻기 위해 상대적으로 큰 전력 소모가 요구된다는 한계를 가진다. 이를 개선하기 위해 본 논문에서는 출력단에 인버터 기반 증폭 구조를 도입하여 동일한 전류 조건에서 유효 트랜스컨덕턴스(gm)를 증가시키고, 전력 대비 이득 효율을 향상시키는 구조를 제안한다. 인버터 기반 출력단은 NMOS와 PMOS의 동시 동작을 통해 전류 재사용(Current Reuse)이 가능하며, 이는 극저온 환경에서 요구되는 저전력 동작에 특히 적합하다. 제안된 LNA는 광대역 특성을 유지하면서도 저잡음 및 전력 효율 측면에서 개선된 성능을 목표로 설계되었다. 본 논문에서는 제안된 구조의 설계 개념과 동작 원리를 분석하고, 극저온 수신기 응용 관점에서의 적용 가능성을 논의한다.

I. 서론

최근 양자컴퓨터 기술의 발전과 함께 초전도 큐비트 기반 시스템의 대규모 집적이 활발히 연구되고 있다. 실제로 수십 개 이상의 큐비트를 집적한 초전도 양자 프로세서를 통해 양자 우월성이 실험적으로 입증되면서, 대규모 양자컴퓨터 구현 가능성이 본격적으로 제시되었다 [1]. 이러한 양자컴퓨터 시스템에서는 미약한 신호를 검출하기 위한 고감도 수신기가 필수적이며, 수신기 전단의 저잡음 증폭기(LNA)는 전체 시스템의 잡음 성능을 좌우한다. 특히, 극저온 환경에서는 제한된 냉각 용량으로 인해 저전력·저잡음 특성을 동시에 만족하는 LNA 설계가 중요한 연구 과제로 부각되고 있다. 상온 LNA 설계에서는 공통 게이트(CG)와 공통 소스(CS)를 결합한 CG-CS 구조가 광대역 입력 매칭과 안정적인 이득 확보에 유리하여 널리 사용되어 왔다. 그러나 극저온 환경에서 높은 이득을 확보하기 위해서는 바이어스 전류 증가가 필요하며, 이로 인해 전력 소모가 증가하고 전력 대비 이득 효율 측면에서 한계가 존재한다. 반면, 인버터 기반 증폭 구조는 NMOS와 PMOS의 동시 동작을 통해 동일한 전류 조건에서 더 큰 유효 트랜스컨덕턴스를 확보할 수 있어, 전력 소모가 제한된 환경에서 높은 이득을 요구하는 응용에 적합하다. 특히, 극저온 수신기에서는 입력 신호 레벨이 매우 작아 선형성 요구가 완화되므로, 인버터 기반 구조의 전력 효율 및 저잡음 특성이 효과적으로 활용될 수 있다. 이에 본 논문에서는 기존 CG-CS 기반 광대역 LNA 구조를 바탕으로, 출력단에 인버터 기반 증폭기를 추가한 저전력 광대역 LNA 구조를 제안한다.

II. 본론

1) 기존 CG-CS 기반 광대역 LNA 구조의 한계 및 인버터 기반 출력단 도입 배경

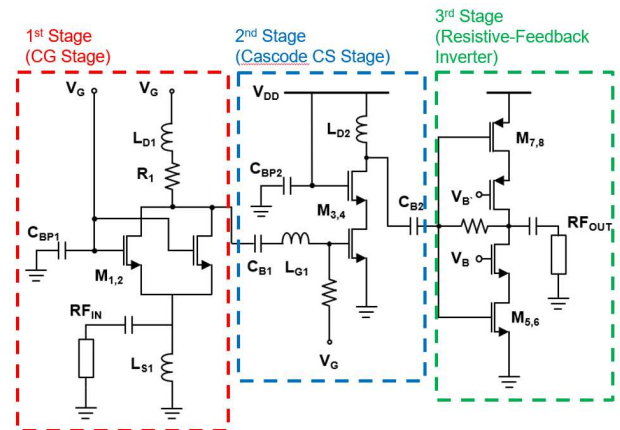


그림. 1. 제안된 3단 저잡음 증폭기 회로도

광대역 저잡음 증폭기 설계에서 공통 게이트(Common-Gate, CG) 구조는 별도의 복잡한 매칭 회로 없이도 넓은 주파수 대역에서 안정적인 입력 매칭을 제공하여, 공통 소스(Common-Source, CS) 증폭 단과 결합한 CG-CS 구조로 널리 활용되어 왔다 [2]. 그러나 CG-CS 구조는 높은 이득을 확보하기 위해 비교적 큰 바이어스 전류를 요구하며, 극저온 환경에서는 제한된 냉각 용량으로 인해 전력 소모 증가가 중요한 제약 조건으로 작용한다. 또한 단일 극성 트랜지스터 동작에 기반한 구조적 특성으로 인해 전력 대비 이득 효율에도 한계가 존재한다.

반면, 인버터 기반 증폭 구조는 NMOS와 PMOS의 동시 동작을 통해 전류 재사용이 가능하므로 동일한 전류 조건에서 더 큰 유효 트랜스컨덕턴스를 확보할 수 있다 [3]. 일반적인 RF 수신기에서는 선형성 및 전압 헤드

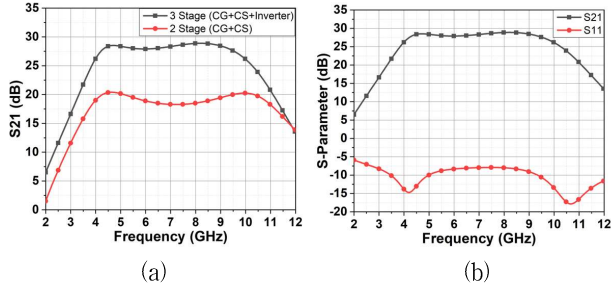


그림. 2. 제안된 회로의 (a) 2단 CG-CS 및 3단 CG-CS+인버터 구조의 S21 (b) 3단 CG-CS+인버터 구조의 S21 및 S11

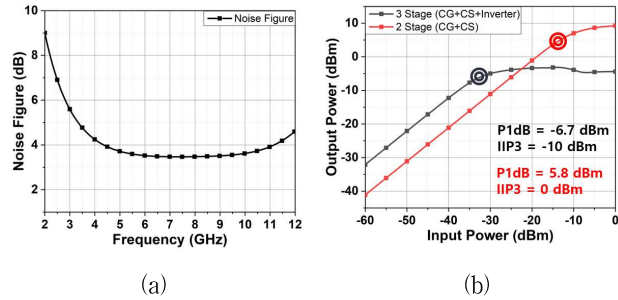


그림. 3. 제안된 회로의 (a) 잡음지수(NF) (b) P1dB

를 측면에서 불리할 수 있으나, 입력 신호 레벨이 매우 작은 극저온 양자 컴퓨터 수신기 환경에서는 이러한 단점의 영향이 제한적이다. 이에 본 논문에서는 기존 CG-CS 기반 광대역 LNA 구조의 장점을 유지하면서, 출력단에 인버터 기반 증폭기를 추가하여 전력 대비 이득 효율을 개선한 저전력 광대역 LNA 구조를 제안한다.

3) 제안하는 저전력 광대역 LNA 구조

본 논문에서 제안하는 LNA는 그림. 1와 같이 CG-CS 구조를 기반으로 하며, 출력단에 인버터 기반 증폭 단을 추가한 다단 구조로 구성된다. 입력단의 CG 구조는 광대역 입력 매칭을 담당하며, 중간단의 CS 구조는 기본적인 전압 이득을 제공한다. 이후 출력단에 인버터 기반 증폭기를 배치하여 추가적인 이득을 확보함과 동시에, 전력 소모 증가 없이 전체 이득을 향상시키는 것을 목표로 한다. 인버터 기반 출력단은 저항성 피드백 또는 적절한 부하 네트워크와 결합되어 안정적인 동작을 유지하도록 설계된다. 이를 통해 출력 임피던스를 제어하고, 주파수 응답의 평탄성을 개선할 수 있다. 또한 출력단에서 확보된 추가 이득은 후단 회로의 잡음 영향을 효과적으로 억제하여 전체 수신기의 잡음 성능 향상에도 기여한다.

4) 결과 및 분석

본 논문에서 제안하는 LNA는 삼성 28nm CMOS 공정으로 구현되었다. 그림. 2와 그림. 3을 통해 제안된 CG-CS+Inverter 구조는 3.8-10.2GHz 대역에서 28-29 dB의 이득을 달성하였으며, 기존 CS-CG 구조 (18-20dB) 약 9-10 dB 향상된 이득 성능을 보였다. 또한, 입력 반사 손실 (S11)은 전 대역에서 -8.6 dB 이하를 만족하여 안정적인 광대역 입력 매칭을 확인하였다. 잡음 지수(NF)는 3.3-3.9 dB로 기존 구조와 유사한 수준을 유지하였다. 인버터 기반 출력단의 특성으로 인해 선형성 지표 (IP1dB, OP1dB, IIP3)는 감소하였다. 전력 소모는 9.1mW로 CG-CS(8.3mW) 구조 대비 소폭 상승하였지만 전력 대비 이득 성능은 CG-CS는 약 2 dB/mW 수준에서 제안된 구조는 약 3 dB/mW로 전력 대비 이득 효율이 의미있게 개선되었다.

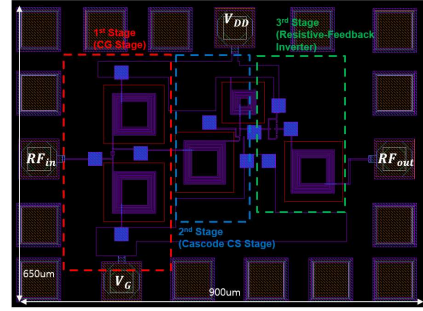


그림. 4. 제안된 저잡음 증폭기 레이아웃

표 1. 제안된 LNA의 성능 지표

	CS-CG	CG-CS+Inverter
공정	CMOS 28nm	CMOS 28nm
주파수 [GHz]	3.6-11	3.8-10.2
대역폭 [GHz]	7.5	6.4
S_{21} [dB]	18-20	28-29
S_{11} [dB]	< -8.5	< -8.6
NF [dB]	3.2-3.9	3.3-3.9
IP1dB [dBm]	-15.3	-33.7
OP1dB [dBm]	5.8	-6.7
IIP3 [dBm]	0	-10
전력소모 [mW]	8.3	9.1
면적 [mm ²]	0.16	0.22

III. 결론

본 논문에서는 극저온 수신기 응용을 위한 저전력 광대역 저잡음 증폭기로서, 인버터 기반 출력단을 포함한 CG-CS 구조의 LNA를 제안하였다. 기존 CS-CG 기반 광대역 LNA 구조는 안정적인 입력 매칭과 광대역 특성을 제공하지만, 높은 이득을 확보하기 위해 상대적으로 큰 바이어스 전류가 요구되어 전력 대비 이득 효율 측면에서 한계를 가진다. 이러한 문제를 개선하기 위해 본 연구에서는 출력단에 인버터 기반 증폭 구조를 추가하여 동일한 전력 조건에서 유효 트랜스컨덕턴스를 증가시키는 설계 방안을 제시하였다.

ACKNOWLEDGMENT

The EDA Tool was supported by the IC Design Education Center.

참 고 문 헌

- [1] Arute, F. et al., "Quantum supremacy using a programmable superconducting processor," Nature 574, 505-510 (2019).
- [2] Y. -T. Lo and J. -F. Kiang, "Design of Wideband LNAs Using Parallel-to-Series Resonant Matching Network Between Common-Gate and Common-Source Stages," in IEEE Transactions on Microwave Theory and Techniques, vol. 59, no. 9, pp. 2285-2294, Sept. 2011.
- [3] A. Caglar, S. Van Winckel, S. Brebels, P. Wambacq and J. Craninckx, "Design and Analysis of a 4.2 mW 4 K 6 - 8 GHz CMOS LNA for Superconducting Qubit Readout," in IEEE Journal of Solid-State Circuits, vol. 58, no. 6, pp. 1586-1596, June 2023.