

D-mode GaN PA 구동을 위한 Negative Gate Bias IC 설계

이영민, 채수창, 김진섭, 김기진
한국전자기술연구원

lymin59@keti.re.kr, sc.chae@keti.re.kr, kim812@keti.re.kr, sergeant@keti.re.kr

Design of a Negative Gate Bias IC for Driving d-Mode GaN Power Amplifiers

Young-Min Lee, Soo-Chang Chae, Jin-Seop Kim, Ki-Jin Kim
KETI(Korea Electronics Technology Institute)

요약

본 논문은 d-mode GaN RF 전력증폭기(PA) 구동을 위한 Negative Gate Bias IC(NGB)를 제안한다. 제안된 NGB는 Global Foundries 130nm BCD 공정을 기반으로 설계되었으며, 5V 단일 양전원 환경에서 D-mode GaN PA에 필요한 음의 게이트 바이어스를 내부적으로 생성한다. SPI 기반 디지털 제어를 통해 게이트 바이어스 전압을 설정할 수 있으며, 순차적인 블록 활성화 시퀀스를 적용하여 안정적인 동작을 보장한다. 시뮬레이션 결과를 통해 제안된 NGB의 정상 동작을 확인하였으며, 전체 회로는 5.84mm²의 면적과 5.7mW의 전력 소모로 구현되었다.

I. 서 론

차세대 무선 통신 시스템에서 고출력 밀도와 전력 효율을 위해 활용이 확대되고 있는 GaN 기반 RF 전력증폭기(PA)의 D-mode 소자는 자발 및 압전 분극에 의해 형성되는 2-DEG 채널로 인해 게이트 전압이 0V 일 때 전류가 흐르는 normally-on 특성을 갖는다. 따라서 우수한 고주파·고출력 성능에도 불구하고, 안정적인 동작 제어를 위해서는 음(-)의 게이트 바이어스 인가가 필수적이다 [1,2].

게이트 바이어스 회로를 PA 와 동일한 GaN 공정으로 구현할 경우 공정 비용 증가와 저전압 아날로그 회로 구현의 비효율성이 발생할 수 있으며, 이에 따라 실제 시스템에서는 CMOS 또는 BCD 공정 기반의 별도 바이어스 IC를 사용하여 게이트 바이어스를 제공하는 구조가 일반적으로 적용된다.

본 논문에서는 GlobalFoundries 130nm BCD 공정을 기반으로, d-mode GaN RF 전력증폭기 구동에 필요한 음의 게이트 바이어스를 내부적으로 생성하는 Negative Gate Bias IC(NGB)를 제안한다. 제안된 회로는 5V 단일 양(+)전원 환경에서 동작하며, 디지털 제어를 통해 게이트 바이어스 전압을 설정할 수 있도록 설계되었다.

II. 본론

그림 1은 본 논문에서 제안하는 d-mode GaN RF 전력증폭기(PA)의 게이트 바이어스 전압 생성을 위한 NGB의 전체 구조를 보여준다. 제안된 NGB는 Serial-to-Parallel Interface(SPI), Bandgap Reference(BGR), Ring Oscillator(OSC), Negative Charge Pump(NCP), Current-steering Digital-to-Analog Converter(IDAC), 다수의 Opamp, 그리고 온도 피드백 회로로 구성된다.

SPI는 NGB 내부의 주요 블록을 제어하며, IDAC 코드 설정을 통해 게이트 바이어스 전압을 디지털 방식으로 조절한다. 또한 SPI 제어 신호를 통해 EN_{BGR}, EN_{OSC}, EN_{NCP}, EN_{NGB}의 순서로 enable 신호를 순차적으로 인가하여 BGR, OSC, NCP, 그리고 전체 NGB를 단계적으로 활성화함으로써, 음전압 생성 및 게이트 바이어스 형성 과정에서의 안정적인 동작을 보장한다. BGR은 회로 전반에 필요한 안정적인 전압 및 전류 레퍼런스를 제공한다. OSC는 약 5 MHz의 클록 신호를 생성하여 NCP를 구동하며, NCP는 5V 단일 전원을 이용해 -5V 및 -10V의 음전압을 생성함으로써 음의 게이트 바이어스 생성을 위한 전원을 제공한다 [3].

IDAC는 9-bit 제어 코드를 통해 0.25V ~ 2.5V 범위의 전압을 생성한다. IDAC 출력은 Opamp 기반의 Negative Gain Stage(NGS)를 거쳐 -2의 이득으로 변환되어 -0.5V ~ -5V 범위의 게이트 바이어스 전압을 형성하며, 이를 통해 d-mode GaN PA의 이득을 10mV 단위로 세밀하게 제어한다. PA가 on 상태로 동작하는 동안에는 온도 피드백 경로가 활성화되어 자동 이득 제어(Auto Gain Control, AGC)를 수행함으로써 열폭주를 방지하고 불안정성을 완화한다 [4]. 반면 PA 차단을 위한 PAOFF 신호가 인가되면 IDAC의 모든 전류 소스가 활성화되어 최대 전류가 출력되며, 이때 IDAC 출력 전압은 3V로 설정된다. 해당 전압은 NGS를 거쳐 -6V의 게이트 바이어스로 변환되어 d-mode GaN PA를 완전히 차단한다.

EN_{NGB}가 비활성화될 경우 IDAC의 모든 전류 소스가 차단되어 출력 전압은 0V가 되며, 동시에 모든 Opamp의 바이어스 공급이 중단된다. 이때 PA의 게이트 바이어스 전압(V_{GPPA})가 floating 상태가 되는 것을 방지하기 위해 각 Opamp 출력 노드에는 pull-down 소자가 추가되어 NCP가 완전히 방전될 때까지 V_{GPPA}를 Low-impedance GND로 유지한다. 또한 PA의

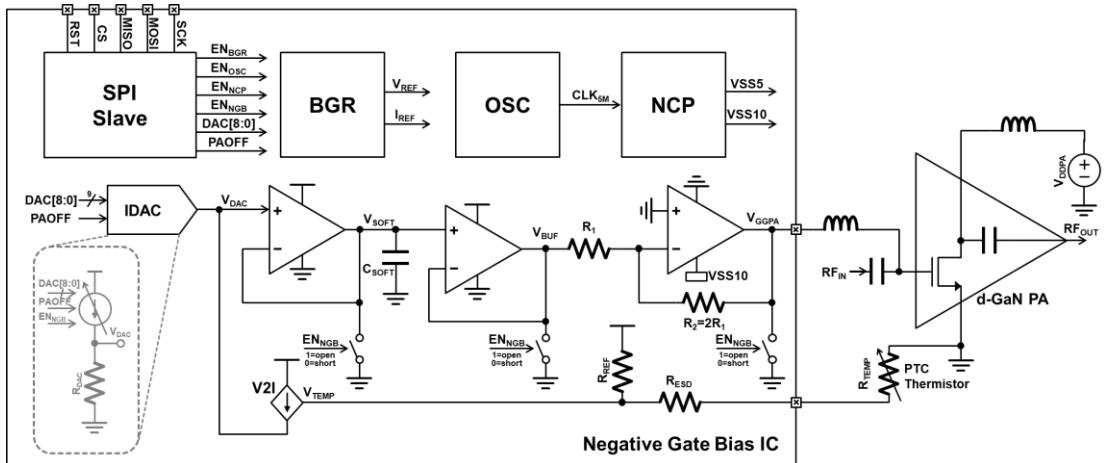


그림 1. 제안된 Negative Gate Bias IC의 구조

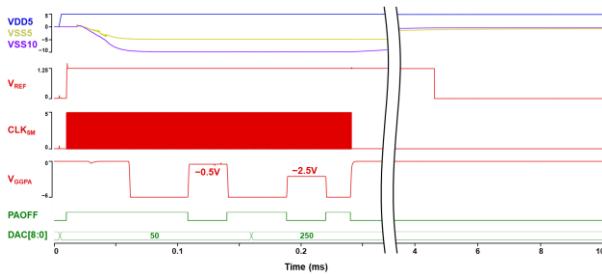


그림 2. Negative Gate Bias IC 시뮬레이션 결과

드레인 전압 (V_{DDPA})가 인가된 상태에서 게이트 바이어스가 제거되면 과전류가 발생하여 PA가 손상될 수 있다. 이를 방지하기 위해 본 설계에서는 V_{DDPA} 가 먼저 0V로 차단된 이후에만 EN_{NGB} 가 비활성화되도록 동작 시퀀스를 정의하였다.

그림 2는 제안된 NGB의 동작에 대한 시뮬레이션 결과를 보여준다. BGR, OSC, NCP가 순차적으로 활성화된 이후, NGB는 초기 상태에서 $-6V$ 의 게이트 바이어스를 유지한다. 이후 최대 게이트 바이어스 전압인 $-0.5V$ 와 중간 게이트 바이어스 전압인 $-2.5V$ 가 각각 한 번씩 인가되는 동작을 확인할 수 있으며, 모든 동작이 완료된 후 NGB 전원이 차단된다. 한편 PA가 동작 중인 상태에서는 안정적인 동작을 보장하기 위해 DAC 코드 변경은 허용되지 않는다. 설계된 NGB는 GlobalFoundries 130nm BCD 공정 기준으로 $5.84mm^2$ 의 면적을 가지며, 동작 시 전력 소모는 $5.7mW$ 이다.

III. 결론

본 논문에서는 d-mode GaN RF 전력증폭기 구동을 위한 NGB를 제안하였다. 제안된 회로는 Global Foundries 130nm BCD 공정을 기반으로 설계되었으며, 5V 단일 양전원 환경에서 d-mode GaN PA에 필요한 음의 게이트 바이어스를 내부적으로 생성한다. 디지털 제어 기반의 IDAC와 Negative Gain Stage를 통해 게이트 바이어스 전압을 정밀하게 설정할 수 있으며, PA 차단 시에는 $-6V$ 의 게이트 바이어스를 인가하여 안정적인 off 동작을 보장한다.

또한 블록별 순차 활성화 시퀀스와 보호 동작을 통해 전원 인가 및 차단 과정에서 발생할 수 있는 과전류 및 불안정성을 방지하도록 설계하였다. 시뮬레이션 결과를 통해 제안된 NGB가 설계된 동작 시퀀스에 따라 정상적으로 동작함을 확인하였다. 제안된 NGB는 $5.84mm^2$ 의 면적과 $5.7mW$ 의 전력 소모로 구현되었다.

ACKNOWLEDGMENT

This work was supported by Institute of Information & communications Technology Planning & Evaluation (IITP) grant funded by the Korea Government (MSIT) (No. RS-2024-00395702, Development of Envelope Tracking PAM for Sub-6GHz Massive MIMO Supported Base Station).

참고 문헌

- [1] Y. Wen, M. Rose, R. Fernandes, R. Van Otten, H. J. Bergveld and O. Trescases, "A Dual-Mode Driver IC With Monolithic Negative Drive-Voltage Capability and Digital Current-Mode Controller for Depletion-Mode GaN HEMT," *IEEE Transactions on Power Electronics*, vol. 32, no. 1, pp. 423-432, Jan. 2017.
- [2] Yong Cai et al, "Monolithic integration of enhancement- and depletonmode AlGaN/GaN HEMTs for GaN digital integrated circuits," *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, Washington, DC, USA, 2005, pp. 4 pp.-774.
- [3] 전우엽, 주영환, 김기진, "d-GaN RF 스위치 게이트 오프를 위한 음전압 차지펌프 회로에 대한 연구," *대한전자공학회 학술대회*, 제주, 2025
- [4] 이영민, 주영환, 김기진, "d-GaN RF 전력증폭기 열폭주 방지를 위한 온도 감지 및 자동 게이트 바이어스 제어 회로 설계," *대한전자공학회 학술대회*, 제주, 2025.