

# 결함 허용 2 차원 격자 구조 measurement-free 서피스 부호 설계법

민건식\*, 허준\*\*  
\*고려대학교

\*mgs3351@korea.ac.kr, \*\*junheo@korea.ac.kr

Min Gun Sik, Heo Jun\*  
Dept. of Electrical Engineering, Korea University\* \*\*

## 요 약

본 논문은 측정을 하지 않고 오류 정정을 수행하는 서피스 부호를 결함 허용 2 차원 격자 구조로 설계하는 기법을 제시한다. 이 기법을 활용하여 양자 측정 과정 시 오류에 취약한 컴퓨팅 플랫폼에 유용하게 사용할 수 있도록 격자 기반 2D 구조를 제시하여 오류 정정을 측정 과정 없이 수행할 수 있는 설계법을 언급한다.

## I. 서 론

양자 오류정정 부호는 양자 컴퓨팅 기술에서 발생하는 오류를 측정하여 정정하는 기술로 현재 양자 컴퓨팅 시스템에서는 크게 세가지 물리적 오류가 발생한다. 양자 게이트 연산 오류, 양자 게이트 연산 중 발생하는 잉여 qubit 의 idling error 는 양자 하드웨어에 발생하는 오류 패턴들이다[1]. 이 중 idling error 는 측정 연산 중의 idling, 게이트 연산 중의 idling 으로 인해 발생한다. 측정 오류는 게이트 연산 오류와 게이트 연산 idling error 에 비해 물리적 오류율이 적게는 10 배, 많게는 20 배까지 크기 때문에 치명적인 오류로 분류된다. Measurement-free 양자오류정정부호(MFEC)는 측정 오류를 개선하기 위해 설계된 부호로 특정 조건을 만족하는 하드웨어에서 성능의 이점을 갖는다[2,3]. 본 논문에서는 MFEC 기반의 서피스 부호 (MFEC-SC) 가 기존의 서피스 부호 대비 3 가지 물리적 오류율에 대해 어느 지점에서 성능의 이점이 있는지 논리적 오류율을 비교하여 분석한다.

## II. 본론

Fault-tolerant 양자 오류 정정을 위해서는 같은 블록 내의 논리적 큐비트는 같은 양자 부호를 사용해야 한다. 그림 1 은 측정을 하지 않는 양자 오류 정정 부호를 간략하게 설명하는 양자 회로도로  $|\psi\rangle_L$  과  $|+\rangle_L$  은 같은 부호를 사용하고 있는 논리적 큐비트이다.  $|\psi\rangle_L$  은 data qubit 이고  $|+\rangle_L$  은 ancilla logical qubit 으로 data qubit 에서 직접 syndrome 을 mapping 하는 이전의 양자 오류 정정 부호와는 다른 간접적으로 syndrome mapping 을 수행하는 큐비트이다. 이때 이 블록을 fault-tolerant 하게 오류를 ancilla logical qubit 에 propagation 시키기 위해서는 논리적 CNOT 연산을 transversal 하게 물리적 CNOT 연산으로 수행해야 한다. 그리고 S 연산을 통해 stabilizer 연산을 간접적으로 수행하며 실제 correction 과정에서 logical data qubit 에 영향을 주지 않고 오류 정정만 수행하도록 설계하는

기법이다.

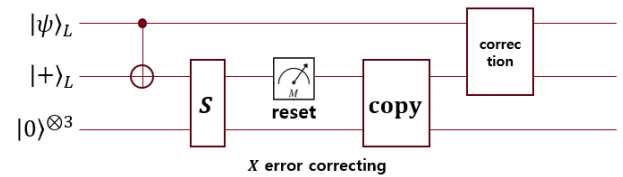


그림 1 Measurement-free 양자 오류 정정 부호 회로도

본 논문에서는 2D 격자 표면 코드에 대한 측정 없는 오류 정정 기법을 제안한다. 기존 [9,1,3] 코드는 단일 오류를 정정할 수 있지만, syndrome 추출 단계에서 발생하는 X 오류가 3 개의 데이터 큐비트로 전파될 경우 정정 능력을 초과하는 문제가 존재한다. 이러한 한계를 극복하기 위해, 우리는 논리적 ancilla 큐비트를 통합한 수정된 2D 아키텍처를 제안한다. 제안된 구조는 오류 전파 경로를 전략적으로 격리하면서 서피스 부호의 위상학적 이점을 유지하여 결함 내성 연산을 가능하게 한다.

양자 오류 정정은 확장 가능한 양자 컴퓨팅을 실현하기 위한 핵심 과제이다. 특히 2D 표면 코드는 높은 오류 정정 임계값과 실용적인 구현 가능성으로 인해 큰 관심을 받고 있다. 그러나 기존 측정 기반 접근법은 syndrome 측정 과정에서 발생하는 지연과 복잡성으로 인해 실시간 오류 정정에 어려움을 겪는다. 본 연구는 이러한 문제를 해결하기 위해 측정 과정 없이도 결함 내성 연산이 가능한 새로운 2D 표면 코드 구조를 제안한다.

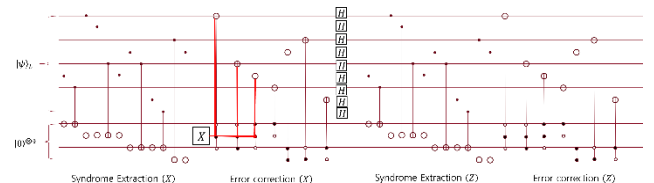


그림 2 오류 정정 과정에서 오류가 전파되는 양자 회로도

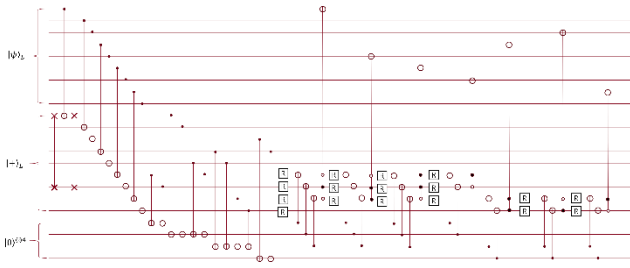


그림 3 2D 구조의 결함 허용 measurement-free 서피스 부호 양자 회로도

제안하는 측정 없는 오류 정정 surface code(MFEC-SC)의 2D 구조 설계는 다음 과정을 포함한다(그림 3 참조). 데이터 큐비트 패치와 ancilla 큐비트 패치의 물리적 큐비트들은 결함 내성을 유지하면서 일대일 대응 방식으로 횡방향 CNOT 연산을 수행해야 한다. 이를 위해 각 큐비트 쌍마다 두 번의 SWAP 연산이 필요하며, 이 연산은 그림 4 와 같이 모든 9 개의 큐비트에 적용되어야 한다. 이후 앙시라 큐비트 패치 내에서 증후군 추출과 오류 정정이 수행된다.

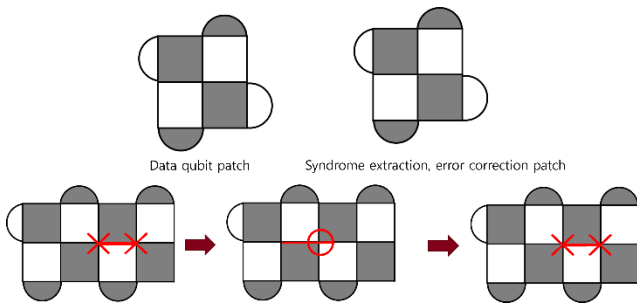


그림 4 SWAP 연산을 활용하여 transversal CNOT 구현 묘사도

[9,1,3] 서피스부호는 거리 3 에서 단일 오류를 정정할 수 있지만, 증후군 추출 단계 이전에 X 오류가 발생할 경우 이 오류는 3 개의 데이터 큐비트로 전파되어 코드의 정정 능력을 초과한다. 우리의 접근법은 추가적인 논리적 앙시라 큐비트를 도입함으로써 이러한 오류 전파 문제를 해결하며, 중간 회로 오류에 대한 취약성을 제거한다.

제안된 아키텍처는 2D 표면 코드의 본질적인 병렬성과 측정 없는 오류 정정의 엄격한 요구 사항 사이의 간극을 해소한다. 그러나 횡방향 CNOT 게이트를 위한 추가적인 SWAP 연산은 시간 복잡도를 증가시키며, 이로 인해 연산 중 유휴 상태 오류와 게이트 유발 오류가 증가하여 논리적 오류율 성능이 저하되는 한계가 존재한다. 이러한 결과는 3D 아키텍처가 이러한 오류 원인을 완화함으로써 더 우수한 성능을 제공할 수 있음을 시사한다.

### III. 결론

본 연구에서는 2D 표면 코드의 측정 없는 오류 정정을 가능하게 하는 새로운 설계를 제시하였다. Ancilla 시스템을 통합한 우리의 접근법은 중간 계측 없이도 결함 내성 연산을 가능하게 하며, 단기 하드웨어에서 확장 가능한 결함 내성 양자 메모리를 위한 실용적인 경로를 제공한다. 향후 연구에서는 3D 구조로의 확장을 통해 시간 복잡도와 관련된 오류 문제를 추가적으로 해결할 계획이다. 또한, 본 논문에서는 결함허용 measurement-free 서피스 부호의 설계법에 대해서 제시했다. 측정 과정에서의 오류는 게이트 연산 오류에 비해 굉장히 치명적이기에 본 논문에서 제시한 기법이 논리적 오류율에서 큰 이득을 가져다 줄 것으로 예상된다.

### ACKNOWLEDGMENT

이 논문은 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원-대학 ICT 연구센터(ITRC)의 지원(RS-2021-II211810, 100/2)과 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원(No. RS-2023-00225385, 100/2) 지원을 받아 수행된 연구임

### 참 고 문 헌

- [1] Google Quantum AI, "Suppressing quantum errors by scaling a surface code logical qubit", Nature, 2023
- [2] M A. Perlin, "Fault-tolerant measurement-free quantum error correction with multi-qubit gates", Physical Review A, 2023
- [3] S. HeuBen, " Measurement-free fault-tolerant quantum error correction in near-term devices," Physical Review X, 2023.