

DRAM Chipkill 오류 정정 기술 성능 분석

하태욱, 김규리, 김상효*
성균관대학교 전자전기컴퓨터공학과

*iamshkim@skku.edu

Performance Analysis of DRAM Chipkill-Correction Schemes

Taeuk Ha, Sang-Hyo Kim*

Department of Electrical and Computer Engineering, Sungkyunkwan University

요약

공정 스케일링을 통한 DRAM의 발전은 상호 간섭, 누설 전류에 의한 다중 비트 오류의 증가를 초래하였고 이는 DRAM의 신뢰도 문제를 야기하였다. 이에 대응하기 위해 강력한 오류정정부호 기술이 도입되기 시작하였고, 그 중에서도 하나의 칩에서 발생하는 모든 오류를 정정하는 Chipkill 정정 기술에 대한 연구가 활발히 진행되었다. 본 논문에서는 두 가지 RS 부호 기반 Chipkill 오류 정정 기술에 대해 소개하고, 실험을 통해 DDR5 DIMM에서의 오류 정정 성능을 비교해본다.

I. 서론

1967년 개발된 DRAM은 컴퓨터 시스템에 큰 변화를 불러왔으며, 지속적으로 발전하여 오늘날 효율적인 데이터 관리를 위해 필수적인 요소가 되었다[1]. 그러나 DRAM은 그 발전으로 인한 신뢰도 문제를 마주하고 있다[2]. 신경망 학습, 대규모 시뮬레이션, 실시간 분석과 같은 메모리 집약적인 응용 프로그램이 성장하면서 DRAM은 더 많은 데이터를 더 빠르게 저장 및 전송하도록 발전하였다. 이러한 발전은 주로 공정 스케일링을 통해 이루어졌는데, 이로 인해 축소되고 집약된 셀들은 상호 간섭과 누설 전류에 의해 더 큰 영향을 받게 되어 다중 비트 오류의 발생 확률이 증가하였다[3].

이에 대응하기 위해 기존의 단순한 오류정정부호(Error Correction Codes, ECC)뿐만 아니라 더 많은 오류를 정정하는 ECC를 DRAM에 적용하는 연구가 진행되어 왔으며, 그 중에서도 단일 칩에서 결함이 생기더라도 그로 인한 오류를 모두 정정할 수 있는 Chipkill 기술에 대한 연구가 활발히 진행되어 왔다[4, 5, 6].

본 논문은 다양한 Chipkill 기술 중 RS 부호를 기반으로 하는 두 Chipkill 기술에 대해 소개하고, 실험을 통해 DDR5 ECC DIMM에서 이들의 성능을 비교하고 그 결과를 분석해본다.

II. 본론

A. 메모리 오류정정부호

오류정정부호 기술은 데이터의 저장 및 전송 과정에서 발생할 수 있는 오류를 정정하는 기술로, 이를 위해 패리티라고 불리는 추가 데이터를 필요로 한다. 프로세서로부터 데이터를 받아 저장하고 이를 다시 전송하는 메모리에서도 오류정정부호를 적용할 수 있다. 먼저 메모리에 데이터를 쓸 때에는 프로세서에서 받은 데이터를 부호화하여 패리티가 추가된 부호어의 형태로 메모리에 저장하고, 이를 다시 읽어 프로세서로 전송할 때에는 저장된 부호어를 복호하여 오류가 정정된 데이터를 프로세서에 전달한다.

오늘날 메모리 오류정정부호는 크게 두 가지 종류로 이루어지는데, 각 DRAM 칩 단위로 오류를 정정하는 On-Die ECC(OD-ECC)와 여러 DRAM 칩을 묶은 rank 단위로 오류를 정정하는 Rank-Level ECC(RL-ECC)이다. 본 논문은 두 가지 메모리 오류정정부호 중 RL-ECC 기법들에 대해 다루며, 그 중에서도 특히 Chipkill-Correction이 가능한 기술들에 대해 이야기한다.

DRAM 공정 스케일링으로 인한 다중 비트 오류 확률의 증가는 그로 인한 시스템 오작동 발생 확률의 증가라는 문제점을 가져왔다[7]. 이러한 다중 오류는 주로 단일 칩 내 물리적으로 인접한 셀들에서 연속(burst) 오류의 형태로

발생하였기 때문에, 단일 칩에서 발생하는 모든 오류 패턴을 정정할 수 있는 Chipkill 오류 정정 기술의 연구가 진행되기 시작하였다.

B. 8-bit RS 부호 Chipkill

Chipkill 정정 기술의 한 가지로 단일 칩 내의 연립 오류를 효과적으로 정정하기 위해 RS 부호를 이용한 RL-ECC 기법이 소개되었다[5]. RS 부호는 유한체(Finite Field)에서의 연산을 기반으로 설계되어 심볼 단위 오류 정정이 가능한 오류정정부호로, 여러 비트를 하나의 심볼로 묶어 오류를 정정하기 때문에 인접한 비트에서 발생하는 연립 오류 정정 성능이 우수하다는 특징을 갖고 있다[8]. RS 부호는 정정하고자 하는 심볼 오류의 수를 조절하여 그에 맞춰 설계할 수 있는데, 이때 t 개 심볼 오류 정정을 위해선 $2t$ 개의 패리티 심볼을 필요로 한다.

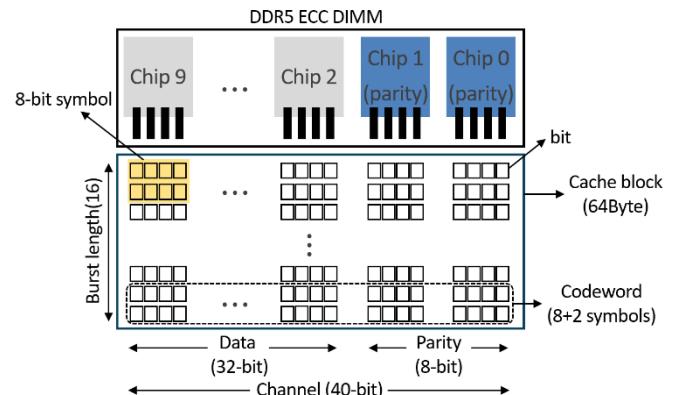


그림 1. RS 부호 기반 Chipkill 부호 (수평 방향 8-bit 심볼)

그림 1은 이 기법을 통해 오류 정정을 수행하는 DDR5 ECC DIMM의 ECC 구조를 나타낸 그림으로, 먼저 그림의 검은색 작은 네모는 DRAM 칩에서 읽은 비트를 의미한다. 10개의 칩으로부터 한번에 총 40bit 데이터를 읽으며, 이를 총 16번 읽어 패리티를 제외한 64Byte 데이터를 모아 프로세서에 전달한다. 이때 프로세서와 메모리가 주고 받는 데이터의 단위를 cache block이라고 부르며 주로 그림과 같이 64Byte 크기를 사용하고, cache block을 구성하기 위해 데이터를 읽는 횟수를 burst length라고 부른다.

이 기법은 하나의 칩에서 한번에 4개 비트씩 총 두 번 읽어 얻는 8개의 비트를 묶어 하나의 8-bit 심볼을 구성한다. 이러한 심볼 구성 방식을 통해 10개의 칩으로부터 총 8개의 메시지 심볼과 2개의 패리티 심볼을 얻을 수 있으며, (10, 8)

RS 부호를 통해 이 심볼들을 오류로부터 보호한다. 하나의 칩이 하나의 심볼을 구성하기 때문에 단일 칩 오류가 발생하더라도 이는 모두 단일 심볼 오류를 일으키며, 따라서 Chipkill 오류 정정이 가능하게 된다.

C. Bamboo Chipkill

Bamboo ECC는 RS 부호를 사용하는 또 다른 Chipkill 오류 정정 기술로, 8-bit 심볼을 사용한다는 점에서 앞서 소개한 기법과 유사하지만 중요한 차이점은 심볼의 구성 방식이다[6]. Bamboo ECC는 그럼 2와 같이 하나의 편에서 나오는 하나의 비트를 여덟 개 모아 하나의 8-bit 심볼을 구성하며, 40개 편에서 얻은 32개의 메시지 심볼과 8개 패리티 심볼로 (40,32) RS 부호를 구성하여 오류를 탐지 및 정정한다. (40,32) RS 부호는 8개의 패리티 심볼을 갖기 때문에 최대 4개 심볼 오류를 정정할 수 있으며, 하나의 칩에 결함이 생기더라도 이는 4개 이하의 심볼 오류를 발생시키기 때문에 해당 기법을 통해 Chipkill 오류 정정이 가능하다.

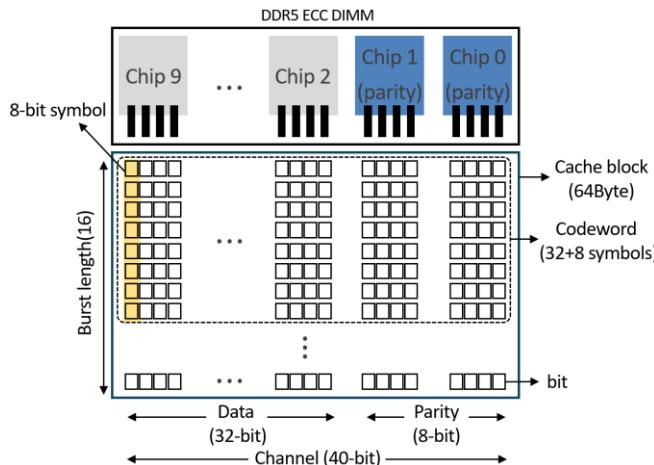


그림 2. Bamboo Chipkill 부호 (수직방향 8-bit 심볼)

앞의 8-bit RS 부호 기술에 비해 Bamboo ECC의 경우 수직 방향의 심볼 구성을 통해 부호어의 길이가 길어졌고, 길어진 부호어에 따라 오류 탐지 성능이 향상되었다는 장점을 가지고 있다. 또한 Bamboo ECC는 그 유연성에서도 장점을 갖고 있는데, 필요한 심볼 오류 정정 능력에 따라 패리티 심볼의 수를 조절할 수 있으며, 또한 Chipkill을 위해선 모든 4 심볼 오류를 정정하지 않아도 되기 때문에 일부 3심볼 및 4심볼 오류 정정 능력을 포기하는 대신 오류 탐지 성능을 더 향상시킬 수 있다.

D. 실험 방법 및 결과

8-bit RS 부호 Chipkill과 Bamboo Chipkill 기술의 오류 정정 성능을 비교하기 위해 몇 가지 오류 시나리오에 대해 두 기법의 복호 결과를 비교하는 실험을 진행하였다. 10x4 DDR5 ECC DIMM 환경을 가정하였으며, 각 오류 시나리오는 단일 칩 오류, 단일 칩 오류 + 단일 비트 오류, 단일 칩 오류 + 단일 칩 오류, 그리고 단일 DQS 오류 + 단일 비트 오류의 네 가지 경우에 대해 실험하였다. 여기서 DQS 오류란 칩에서 신호를 읽는 순간을 결정하는 신호인 DQS 신호의 이상에 의한 오류로, 하나의 칩에서 읽는 4개 비트에 발생하는 오류로 나타난다. 각 오류 시나리오는 10^6 번 반복하였다.

표 1에 각 오류 시나리오에 대한 복호 결과를 CE (Correctable Error), DUE (Detectable but Uncorrectable Error), SDC (Silent Data Corruption)의 비율로 나타내었다. SDC는 탐지조차 되지 않은 오류를 의미하는데, SDC가 발생할 경우 시스템에서 데이터에 오류가 있는 것을 알 수 없기 때문에 오랜 기간이 지난 뒤 발견하게 되고, 이를 복구하는 데에 많은 시간과 비용이 발생할 수 있기 때문에 SDC의 비율을 낮추는 것 역시 많은 오류를 정정하는 것 만큼이나 중요하다.

모든 오류 시나리오에서 Bamboo Chipkill 기술의 SDC 비율이 낮을 것을 확인할 수 있는데, 이는 앞서 말한 것과 같이

긴 길이의 부호어를 사용함으로써 향상된 오류 탐지 성능을 갖기 때문이다. 또한 DQS 오류 + 단일 비트 오류의 경우 Bamboo Chipkill이 높은 CE 비율을 보이는데, 이는 DQS 오류에 해당하는 4개 비트 모두에서 오류가 발생하는 경우가 아니라면 4개 심볼 오류 정정을 통해 고칠 수 있기 때문이다.

표 1. Chipkill 오류 정정 기술의 오류 시나리오 별 성능 비교

Error Scenario	Decoding Result	8-bit RS	Bamboo
1 Chip Error	CE(%)	100	100
1 DQS Error + 1 bit Error	CE(%)	0	93.3315
	DUE(%)	97.0409	6.6685
	SDC(%)	2.9591	0
1 Chip Error + 1 bit Error	CE(%)	0	1.5398
	DUE(%)	96.8871	98.4587
	SDC(%)	3.1129	0.0015
1 Chip Error + 1 Chip Error	CE(%)	0	0
	DUE(%)	96.8623	99.998
	SDC(%)	3.1377	0.002

III. 결론

본 논문은 두 가지 RS 부호 기반 Chipkill 기술을 소개하고 그 심볼 구성 방식에 따른 오류 정정 성능의 차이를 확인하는 실험을 진행하였다. 실험 결과 Bamboo Chipkill의 향상된 오류 탐지 성능을 확인할 수 있었으며, 이를 활용하기 위해 Bamboo Chipkill의 수직 방향 심볼 구성 방식을 사용한 RL-ECC 기법에 대한 연구를 진행할 예정이다.

ACKNOWLEDGMENT

이 논문은 2025년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원(RS-2024-00398449)과 한국연구재단의 지원(RS-2024-00343913) 그리고 삼성전자의 지원(IO201209-07889-01)을 받아 수행된 연구임

참고 문헌

- [1] R. H. Dennard, "Field-effect transistor memory," July 1967, US Patent 3,387,286.
- [2] I. Giurgiu *et al.*, "Predicting DRAM reliability in the field with machine learning," in *Proc. 18th ACM/IFIP/USENIX Middleware Conf.: Ind. Track*, 2017.
- [3] O. Mutlu, "Memory scaling: A systems architecture perspective," in *Proc. 5th IEEE Int. Memory Workshop (IMW)*, pp. 21–25, Monterey, CA, USA, 2013.
- [4] S. Cha *et al.*, "Defect analysis and cost-effective resilience architecture for future DRAM devices," in *Proc. IEEE Int. Symp. High Perform. Comput. Archit. (HPCA)*, pp. 61–72, Austin, TX, USA, 2017.
- [5] Advanced Micro Devices (AMD), Inc., "BIOS and Kernel Developer's Guide (BKDG) for AMDFamily 15h Models 00h–0Fh Processors," Jan 2013.
- [6] J. Kim, M. Sullivan, M. Erez, "Bamboo ECC: Strong, safe, and flexible codes for reliable computer memory", *IEEE HPCA*, pp. 101–112, 2015.
- [7] M. V. Beigi *et al.*, "A systematic study of DDR4 DRAM faults in the field," in *Proc. IEEE Int. Symp. High Perform. Comput. Archit. (HPCA)*, pp. 991–1002, Montreal, QC, Canada, 2023.
- [8] I. S. Reed and G. Solomon, "Polynomial codes over certain finite fields," *J. Soc. Ind. Appl. Math.*, vol. 8, no. 2, pp. 300–304, Jan. 1960.