

# 고신뢰성 DRAM 시스템을 위한 Chipkill-Correct 기술 동향 분석

김규리, 하태욱, 김상호\*  
성균관대학교 전자전기컴퓨터공학과  
\*iamshkim@skku.edu

## Trends in Chipkill-Correct Techniques for High-Reliability DRAM Systems

Gyuri Kim, Taeuk Ha, Sang-Hyo Kim\*  
Department of Electrical and Computer Engineering, Sungkyunkwan University

### 요 약

본 논문은 DRAM 시스템의 신뢰성을 향상시키기 위한 Chipkill-correct 기술을 다루며, 이를 구현하는 다양한 방식과 성능을 비교한다. 특히, DRAM 에서 발생하는 오류는 대부분 단일 칩 내 버스트 오류 형태로 나타나며, Chipkill-correct 기술은 이러한 오류를 효과적으로 정정할 수 있는 강력한 방법으로 평가된다. 또한, 각 기술의 특징을 비교하고, 그 장단점과 적용 가능성에 대해 분석한다.

### I. 서 론

오늘날의 메모리 시스템에서 신뢰성은 시스템 성능을 좌우하는 핵심 요인이다. 특히, 고속 전송과 대용량 저장을 요구하는 현대 컴퓨터 환경에서 중심적인 역할을 하는 DRAM(dynamic random access memory)은 더 높은 용량과 처리량을 지원하도록 진화해 왔으며, 이로 인해 오류 발생 가능성이 증가하고 신뢰성 저하 우려도 커지고 있다[1]. 이러한 배경에서 DRAM 시스템에는 오류 정정 부호 (ECC, error correction code)가 필수적으로 요구된다 [2]. 초기 DRAM 에서는 단일 비트 오류(SBU, single-bit upset)가 주된 오류 유형이었으며, 단일 비트 오류 정정(single-bit error correction, SEC) 또는 단일 비트 오류 정정-이중 비트 오류 검출(SEC-double-bit error detection, SEC-DED) 방식만으로도 시스템 신뢰성을 유지할 수 있었다[3]. 그러나 메모리 반도체의 고집적화와 저전력화가 진행됨에 따라 오류 발생 확률이 급격히 증가하였고, 그 결과 다중 비트 오류(MBU, multi-bit upset)의 발생 빈도 또한 높아졌다[4]. 이에 따라, 보다 강력한 오류 정정 기법의 필요성이 대두되었으며, 하나의 DRAM 칩 전체에 결함이 발생하더라도 데이터를 복구할 수 있는 Chipkill-correct[7] 수준의 정정 능력을 제공하는 기술들이 개발되기 시작하였다. 본 논문에서는 고신뢰성 DRAM 시스템 구현을 위한 Chipkill-Correct 기술의 현황을 분석하고, 현재 제안된 다양한 구현 방식들을 정리하여 비교한다.

### II. 본 론

#### 1. Chipkill-correct

Chipkill-correct 기술은 하나의 DRAM 장치에서 발생한 모든 오류를 정정할 수 있는 강력한 수준의 보호 기능을 제공한다[7]. 초기에는 이를 구현하기 위해 DRAM 장치의 데이터를 여러 코드워드에 인터리빙(interleaving) 하여, 단일 DRAM 장치에서 발생한 오류가 각 코드워드 내 하나의 비트에만 영향을 미치도록 설계하였다[5]. 이후 Chipkill-correct 기술은 채널 폭 조정을 통한 에너지 효율 개선과 함께, 단일 오류 정정(SDC) 확률을 감소시켜 전반적인 신뢰성을 향상시키는 방향으로 발전해 왔다[6,7,8,9,10]. DRAM 에서 발생하는 오류의 대부분은

단일 칩 내에서의 버스트 오류 형태로 나타나는 것으로 보고되고 있다[11]. 이러한 특성으로 인해 Chipkill-correct는 단일 DRAM 칩에서 발생한 모든 오류를 정정할 수 있는, 실질적이고 효과적인 보호 방식으로 평가받고 있다[12].

#### 2. Chipkill-correct 기술 소개

##### A. Cyclic Redundancy Check Codes for Chipkill [6]

Intel 은 순환 중복 검사(cyclic redundancy check, CRC) 비트와 짝수 패리티 비트를 활용하여 Chipkill-correct 기능을 지원하는 방식을 개발하였다. 이 방식에서 CRC 비트는 오류 패턴을 식별하며, 짝수 패리티 비트는 오류가 발생한 DRAM 칩의 위치를 특정하는 데 사용된다. 오류 패턴과 칩 위치가 모두 결정되면, 단일 DRAM 장치에서 발생한 오류를 정정할 수 있게 된다. 이 구조를 적용하기 위해, x4 DRAM 칩 18 개로 구성된 DIMM(dual in-line memory module)에서 각각 하나의 칩을 CRC 비트와 패리티 비트 저장 용도로 할당한다. 즉, 총 12.5%의 리던던시로 Chipkill-correct 기능을 구현한다.

##### B. AMD Chipkill [7]

AMD 는 x4 DRAM 칩 기반 시스템에서 Chipkill-correct 기능을 지원하기 위해, 8 비트 심볼을 사용하는 리드 솔로몬 부호(Reed-Solomon code, RS code) 기반의 SSC (Single Symbol Correction) 방식을 채택하였다. 이때 RS 부호의 하나의 심볼은 x4 DRAM 칩의 경계를 기준으로, 두 번의 비트 전송 주기(beat) 동안 수신된 데이터를 기반으로 구성된다. 두 개의 패리티 칩에서 형성된 두 개의 패리티 심볼을 이용해 SSC 를 수행함으로써, 단일 DRAM 칩에 대한 오류를 정정할 수 있다. 즉, x4 DRAM 칩들로 구성된 72 비트 ECC-DIMM 에서, 두 개의 패리티 칩을 활용하여 12.5%의 리던던시로 Chipkill-correct 기능을 구현할 수 있다.

##### C. Bamboo ECC [8]

Bamboo ECC 는 RS 부호를 기반으로 한 또 다른 Chipkill-correct 기술로, DRAM 칩의 하나의 데이터 핀(DQ)을 따라 배열된 수직 방향의 비트들을 하나의 심볼로 구성하는 방식이 특징이다. 이러한 수직 방향 심볼

구성 방식은 코드 워드의 길이를 증가시켜 오류 감지 능력을 향상시키는 효과가 있다. 이러한 방법을 통해 Bamboo ECC 는 x4 DRAM 칩 기반 시스템에서 두 개의 패리티 칩을 사용하여 단일 칩 오류를 정정할 수 있다. 앞서 소개한 AMD Chipkill 과 마찬가지로, x4 DRAM 칩으로 구성된 72 비트 ECC-DIMM 에서 두 개의 패리티 칩을 활용하여 12.5%의 리턴던시로 Chipkill-correct 기능을 구현한다. 그러나 Bamboo ECC 는 서로 다른 칩에서 발생한 최대 4 개의 독립적인 핀 오류까지 정정할 수 있다는 점에서, AMD Chipkill 보다 전반적인 신뢰성이 더 높은 것으로 평가된다. 다만, SDC (silent data corruption) 확률을 낮추기 위해 실제 운용 시에는 정정 능력을 단일 칩 오류 또는 두 핀 오류로 제한하는 방식이 적용된다.

#### D. XED (eXposed On-Die Error Detection) [9]

XED(eXposed On-Die Error Detection)는 DRAM 칩 내부에 적용되는 ECC 기술인 온다이 ECC (On-Die ECC)가 활성화된 시스템에서 함께 동작하는 기술로, 4×9 ECC-DIMM 구성에서 Chipkill-correct 수준의 신뢰성을 구현할 수 있도록 설계된다. 이를 위해 온다이 ECC가 오류를 검출했을 때, 해당 정보를 사전 정의된 임의의 데이터 값인 Catch-Word를 통해 메모리 컨트롤러(memory controller)에 노출하는 방식을 사용한다. 메모리 컨트롤러는 Catch-Word를 감지함으로써 오류가 발생한 DRAM 칩을 식별하고, 해당 칩의 데이터를 무시한 채 9번째 칩에 저장된 패리티 정보를 이용하여 오류를 정정한다. 기존의 4×9 ECC-DIMM에서는 9번째 칩이 ECC 정보를 저장하는 용도로 사용되는 것과 달리, XED는 이를 나머지 8개 칩에 대해 계산된 패리티 정보를 저장하는 칩으로 활용한다. 이러한 구조를 통해, XED는 12.5%의 리턴던시로 단일 DRAM 칩에서 발생한 오류를 정정할 수 있는 Chipkill-correct 기능을 제공한다.

#### E. DUO (Dual Use of On-Chip Redundancy) [10]

DUO(Dual Use of On-Chip Redundancy)는 DRAM 칩 내부에 내장된 온칩(on-chip) 리턴던시 정보를 메모리 컨트롤러에 직접 노출하여, 이를 랭크 수준 ECC(Rank-level ECC)에서 활용할 수 있도록 하는 구조이다. 이를 위해, 온다이 ECC 를 우회하여 온칩 리턴던시와 랭크 수준 리턴던시를 결합한다. 이 구조는 앞서 소개한 XED 와 명확한 차이점을 갖는다. XED 는 온다이 ECC 의 오류 검출 결과만을 전달하는 반면, DUO 는 온칩 리턴던시 정보 자체를 공유함으로써 온다이 ECC 에 의존하지 않으면서 더 높은 신뢰성을 제공할 수 있다. DUO 는 이러한 온칩 리턴던시의 이중 활용을 통해, 동일한 리턴던시 예산 하에서 기존 방식보다 강력한 오류 정정 기능을 구현할 수 있으며, 이를 기반으로 DUO SDDC(Single Device Data Correction)를 제공하여 Chipkill-correct 수준의 정정 능력을 지원한다. 예를 들어, 온다이 ECC용 리턴던시 6.25%와 랭크 수준 ECC용 리턴던시 12.5%를 사용하는 경우, 총 18.75%의 리턴던시로 Chipkill-correct 를 실행할 수 있으며, 추가적인 버스트(burst) 비트 오류 정정도 가능하다.

### III. 결 론

본 논문에서는 DRAM 시스템의 신뢰성을 향상시키기 위한 다양한 Chipkill-correct 기술들을 소개하고, 각 기술의 특징과 성능을 비교하여 표 1 에 정리하였다. 향후 연구에서는 오류 정정 능력, 리턴던시, 디코딩 복잡도 등의 요소를 최적화하여, Chipkill-correct 기술의 성능을 개선하는 데 중점을 두어야 한다.

표 1. Chipkill-correct 기술 비교

	Correction capability	Applied DIMM	Redundancy
[6]	Chipkill correction	72-bit channel ECC-DIMM	12.5%
[7]	Chipkill correction	72-bit channel ECC-DIMM	12.5%
[8]	Chipkill correction or 2 symbol error correction	72-bit channel ECC-DIMM	12.5%
[9]	Chipkill correction	36-bit channel ECC-DIMM	12.5%
[10]	Chipkill correction + a few burst bits error correction	72-bit channel ECC-DIMM	18.75%

### ACKNOWLEDGMENT

이 논문은 2025 년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원(RS-2024-00398449)과 한국연구재단의 지원(RS-2024-00343913) 그리고 삼성전자의 지원(IO201209-07889-01)을 받아 수행된 연구임

### 참 고 문 헌

- [1] M. White, J. Qin and J. B. Bernstein, "A study of scaling effects on DRAM reliability," *2011 Proceedings - Annual Reliability and Maintainability Symposium*, Lake Buena Vista, FL, USA, pp. 1-6, 2011.
- [2] Joint Electron Device Engineering Council, *DDR5 SDRAM standard, JESD79-5C*, pp. 280, 2024.
- [3] P. Reviriego, M. Demirci, A. Evans and J. A. Maestro, "A Method to Design Single Error Correction Codes With Fast Decoding for a Subset of Critical Bits," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 2, pp. 171-175, Feb. 2016.
- [4] A. Makiyara et al., "Analysis of single-ion multiple-bit upset in high-density DRAMs," in *IEEE Transactions on Nuclear Science*, vol. 47, no. 6, pp. 2400-2404, Dec. 2000.
- [5] T. J. Dell. A white paper on the benefits of chipkill-correct ECC for PC server main memory. IBM Microelectronics Division, Nov. 1997.
- [6] Blankenship, R.G. et al. Memory error detection and/or correction. US Patent 8,250,435, 2012.
- [7] Advanced Micro Devices (AMD), *BIOS and Kernel Developer's Guide (BKDG) for AMD Family 15th Models 00h-0Fh Processors*, Jan. 2013.
- [8] J. Kim, M. Sullivan and M. Erez, "Bamboo ECC: Strong, safe, and flexible codes for reliable computer memory," *2015 IEEE 21st International Symposium on High Performance Computer Architecture (HPCA)*, pages 101-112, 2015.
- [9] P. J. Nair, V. Sridharan and M. K. Qureshi, "XED: Exposing On-Die Error Detection Information for Strong Memory Reliability," *2016 ACM/IEEE 43rd Annual International Symposium on Computer Architecture (ISCA)*, pp. 341-353, 2016.
- [10] S. -L. Gong, J. Kim, S. Lym, M. Sullivan, H. David and M. Erez, "DUO: Exposing On-Chip Redundancy to Rank-Level ECC for High Reliability," *2018 IEEE International Symposium on High Performance Computer Architecture (HPCA)*, pp. 683-695, 2018.
- [11] V. Sridharan and D. Liberty, "A study of DRAM failures in the field," *SC '12: Proceedings of the International Conference on High Performance Computing, Networking, Storage and Analysis*, pp. 1-11, 2012.
- [12] B. Schroeder, E. Pinheiro, and W.-D. Weber. "Dram errors in the wild: A large-scale field study." *SIGMETRICS*, 2009.