

고속 데이터 전송을 위한 DMA 구조의 플랫폼별 성능분석

박준환, 김형태, 백종수, 박상현

한화시스템

{wnsghks7045, hyoungtaekim, jongs100, sanghyun05.park}@hanwha.com

Performance Analysis of DMA Architectures for High-Speed Data Transfer Across Different Platforms

Junhwan Park, Hyoungtae Kim, Joonsoo Baik, Sanghyun Park

Hanwha Systems

요약

본 논문은 Xilinx의 Zynq Mp SoC(System on Chip)와 Versal ACAP(Adaptive Compute Acceleration Platform) 플랫폼 간 DMA(Direct Memory Access) 전송 처리 성능을 비교 분석한 연구이다. 실험은 FreeRTOS 기반 환경에서 진행되었으며, Scatter-Gather 방식의 DMA를 활용하여 약 170KB*1,360KB의 데이터를 전송하는 작업을 기준으로 삼았다. Cortex-A 및 Cortex-R 코어 각각에서 DMA 개수를 1개부터 8개까지 순차적으로 확장하면서 데이터 전송 지연 시간을 측정하였다. 실험 결과, 기대와 달리 최신구조를 갖춘 Versal ACAP 이 Zynq에 비해 평균 전송 시간이 더 높게 나타났으며, DMA 개수가 증가할수록 latency 차이는 더욱 벌어지는 경향을 보였다. 이는 Versal의 NoC(Network on Chip) 기반 내부 구조가 병렬 전송에 유리할 것이라는 일반적인 예상과는 다른 결과로, 구조적 복잡성, 자원 경합, 경로 혼잡 등이 실제 성능에 영향을 미친 것으로 분석된다. 본 연구는 SoC 플랫폼 선택 시 이론적인 아키텍처 우위뿐 아니라, 실측 기반의 정량적 분석이 병행되어야 함을 강조하며, DMA 기반 데이터 처리 시스템 설계에 있어 참고 자료를 제공한다.

I. 서 론

DMA(Direct Memory Access)는 CPU의 개입 없이 주변 장치 혹은 메모리 간 데이터를 직접 전송하는 기술로 최근 고성능 임베디드 시스템 개발에 있어 고속 데이터 이동 및 효율적인 하드웨어 자원을 활용하기 위한 기술로 더욱 주목받고 있다. 특히 DMA의 직접적인 메모리 접근 특성으로 FPGA(Field-Programmable Gate Array) 및 SoC(System on Chip) 기반 플랫폼에서는 CPU 오프로딩을 구현하기 위해 DMA를 활용한 전송 처리는 시스템의 처리량을 좌우하는 핵심 요소 중 하나이다[1],[2].

대표적으로 임베디드 시스템 개발에 활용된 Xilinx의 Zynq UltraScale+ MP SoC는 heterogeneous architecture를 기반으로, ARM Coretex-A53과 FPGA fabric을 통합 제공하고, 다양한 산업용 응용기술개발에 채택되어 왔다[3]. 이에 반해 최근 등장한 Xilinx Versal ACAP(VCK 190 등)은 AI Engine, 고성능 NoC(Network on Chip), 고속 메모리 인터페이스 등을 갖춘 차세대 플랫폼으로, 고속 데이터 처리 및 AI/ML 응용에 특화되어 있다[4]. 기존 연구들에 따르면 Versal은 Zynq MP SoC에 비해 향상된 메모리 대역폭과 효율적인 통신 인프라(NoC)를 제공하므로, 이론적으로 DMA 전송 속도에서도 우위를 점할 것으로 예측하였다[5],[6]. Versal 사양에 따르면, NoC가 메모리 액세스 병목을 줄이고, 데이터 전송의 병렬성과 확장성을 보장한다고 명시되어 있다[6]. 본 연구에서는 임베디드 시스템 개발에 있어 대표적인 장비와 새로운 장비 두 플랫폼 사이의 성능 비교를 통해 효율적인 임베디드 시스템 개발에 대한 통찰력을 제공한다.

본 논문에서는 실측정한 실험적 데이터를 제시하고, 시스템 구조, 드라이버 설정, 데이터 경로 등을 분석하여 기 원인을 고찰한다. 이를 통해 차세대 SoC 플랫폼 도입 시 하드웨어 스펙만으로는 판단하기 어려운 성능 요소에 대한 통찰을 제공하고자 한다.

II. 실험 설계

DMA 기술의 처리 속도에 대한 비교 실험을 위해 본 연구에서는 Xilinx의 Zynq UltraScale+ MP SoC(ZUC102 KR 260 Evaluation Kit 보드)와 Versal ACAP(VCK190)를 대상 장비로 활용한다. 두 플랫폼의 구조적 차이를 고려하여 동일 소프트웨어 및 OS 기반의 환경을 구성한 후, CPU 코어별 성능 차이와 DMA 개수에 따른 확장성을 중심으로 측정한다.

두 플랫폼 모두 Xilinx 공식 보드를 사용하고, 각각 ARM 기반의 heterogeneous 프로세서를 포함하고 있다. Zynq MP SoC는 Coretex-A53(A코어) 쿼드코어와 Coretex-R5(R코어) 듀얼코어가 탑재되었고, Versal ACAP(Adaptive Compute Acceleration Platform)은 Coretex-A72 듀얼코어와 Coretex-R5F 듀얼코어를 포함한다. 각 보드에서 A 코어와 R코어 각각 1개만 활성화한다.

DMA 구성은 단일 채널, 인터럽트 방식, Xilinx에서 제공하는 Scatter-Gather 모드로 설정한다. 연속되지 않은 메모리 블록을 하나의 전송으로 처리하여, 실제 응용 환경에서의 전송 패턴을 보다 현실적으로 반영할 수 있어 Scatter-Gather 방식을 선택하였다.

III. 시뮬레이션 및 측정 결과

시뮬레이션은 DMA 1개당 전송 데이터의 양을 약 170KBytes 크기의 블록으로 설정하여 최대 DMA 8개 사용 시 약 1,360KBytes로 설정하였다. DMA 엔진을 1개부터 최대 8개로 증가하여 내부 버스 및 NoC 구조가 병렬 DMA 처리에 어떻게 대응하는지를 분석할 수 있었다. FreeRTOS 기반의 소프트웨어 환경을 구성하였고, 모든 실험은 Xilinx Vitis 2023.01 환경에서 빌드된 독립 실행 애플리케이션을 통해 수행되었다. DMA 전송 제어는 단일 FreeRTOS Task에서 수행되었으며, 실험 중 타 Task는 모



그림 1 (a) Cortex-A 코어 DMA 처리 시간 측정 결과, (b) Cortex-R 코어 DMA 처리 시간 측정 결과

두 비활성화하여 CPU 스케줄링의 변동성을 최소화하였고, 데이터를 DRAM으로 전송하는 시나리오를 기반으로 구성하였다. DMA는 Scatter-Gather 모드로 동작하며, 1개부터 8개까지 점진적으로 병렬 구성을 확대하면서 A코어 및 R코어에서 각각 제어하여 전송시간을 측정하였다. 먼저 Cortex-A 코어 기반의 실험 결과는 DMA 1개 사용 시 Versal은 최대 0.480ms, 최소 0.471ms, 평균 0.477ms였고, Zynq는 최대 0.377ms, 최소 0.372ms, 평균 0.373ms로 측정되었다. Zynq MP SoC가 평균적으로 약 21.8% 빠른 전송 속도를 기록하며, 단일 DMA 사용 시에도 성능 우위에 있음이 확인되었다.

DMA 2개로 확장하여 약 340Kbytes를 처리한 경우, Versal A 코어는 최대 0.852ms, 최소 0.844ms, 평균 0.846ms로 DMA 1개를 사용하여 170Kbytes 처리할 때보다 약 2배가량 처리 속도가 늘어남을 보였다. Zynq의 경우 최대 0.627ms, 최소 0.613ms, 평균 0.623ms로 측정되며 처리 시간 자체는 DMA 1개보다 늘어남을 보이지만, 여전히 Versal 보다는 우수한 처리 성능을 보였다. 이 결과는 DMA 병렬처리 과정에서 발생하는 메모리 경합이나 NoC 내부 경로 분산의 영향일 가능성을 보여준다.

DMA 4개를 사용하여 데이터양을 약 680Kbytes로 증가시키면 두 플랫폼 모두 전송시간이 급격히 증가하는 경향을 보인다. Versal A 코어는 최대 1.610ms, 최소 1.563ms, 평균 1.569ms를 기록하였고, Zynq는 최대 1.111ms, 최소 1.101ms, 평균 1.106ms로 Zynq의 상대적 우위가 유지되었다. Versal의 경우 DMA 개수 증가에 따른 성능 저하 폭이 더 크게 나타나, 병렬 확장성 측면에서도 효율성이 떨어진 것으로 나타났다.

DMA 8개 구성에서는 이러한 경향이 더욱 두드러졌다. Versal A 코어는 최대 2.70ms, 최소 2.959ms, 평균 2.963ms를 기록한 반면 Zynq는 최대 2.082ms, 최소 2.070ms, 평균 2.075ms로 확인되어, 병렬화된 환경에서도 Zynq가 확실한 성능 우위를 유지하고 있음을 보여준다. R코어의 경우에도 유사한 경향이 나타났다. DMA 1개 사용 시 약 0.012ms 정도 Zynq에서 빠른 처리 속도를 보여주었고, 최대 8개의 DMA를 사용시 최대 0.152ms의 빠른 처리 속도를 보여주었다. 전체적으로 Zynq MP SoC는 DMA 수 증가에 따른 전송 성능의 감소폭이 Versal 보다 적고 Cortex-A 및 Cortex-R 모두에서 안정적인 성능을 유지하였다. 반면 Versal ACAP의 경우 최신 아키텍처임에도 불구하고 병렬 구성에서 latency가 빠르게 증가하는 경향을 보여, 실시간 제어 또는 고속 연속 전송과 같은 응용에서는 구조적 오버헤드가 제한 요인이 될 수 있음을 보여준다. 이러한 결과는 시스템 설계 시 단순한 연산 성능이나 클럭 스펙만으로 DMA 효율을 예측하기 어렵다는 점을 시사하며, 플랫폼 내부 데이터 경로 구조와 리소스 충돌 요소를 면밀히 고려해야 함을 의미한다.

IV. 결론

본 논문에서는 Zynq MP SoC 와 Versal ACAP 플랫폼을 대상으로 FreeRTOS 기반 환경에서 DMA 전송 처리 성능을 비교 분석하였다. 실험은 각 플랫폼의 Cortex-A 및 Cortex-R 코어에서 1개부터 8개까지

DMA를 구성하여, 약 170Kbytes~1,360Kbytes의 데이터를 Scatter-Gather 방식으로 전송하는 조건 하에 수행되었다. 실험 결과, 기대와는 달리 최신 아키텍처인 Versal이 Zynq보다 전반적으로 높은 전송 지연을 보였다. 특히 DMA 개수가 증가할수록 Versal에서의 지연시간 상승폭이 Zynq보다 크며, 이는 A코어 와 R코어 모두에서 일관되게 나타났다. 이러한 결과는 SoC 선택 시 단순히 아키텍처 세대나 이론적 대역폭에 의존한 판단이 아니라, 실제 데이터 전송 패턴, 메모리 구조, 운영체제 환경까지 고려한 통합적인 분석이 필요함을 시사한다. 향후 연구에서는 DMA 외에 PL-to-PL통신이나 NoC QoS 설정, I/O 우선순위 제어드을 포함한 종합적인 성능분석을 통해, Versal과 Zynq 간 구조적 차이의 영향을 보다 정밀하게 해석할 수 있을 것으로 기대한다.

ACKNOWLEDGMENT

이 논문은 2025년 정부(방위사업청)의 재원으로 국방기술진흥연구소의 지원을 받아 수행된 연구임(KRIT-CT-22-079)

참 고 문 헌

- [1] T.Kudoh et al., "DMA engine optimization for high-speed data transfer in embedded system," IEEE Trans. Ind. Electron., vol. 66, no.12, pp. 9568–9577, 2019.
- [2] M. Mittal et al., "Efficient utilization of AXI DMA in heterogeneous SoC," Microprocessors and Microsystems, vol. 71, 2020.
- [3] Xilinx, Zynq UltraScale+ MP SoC Data Sheet: Overview (DS891), v1.13, 2021.
- [4] Xilinx, Versal ACAP: Architectural Overview(WP506), v1.2, 2020.
- [5] R. Gupta et al., "Performance benchmarking of Xilinx Versal ACAP vs Zynq MP SoC," proc. FPL 2022.
- [6] AMD/Xilinx, "Versal Platform NoC Performance Guide," PG313, v1.1, 2022.