FMCW 레이더용 CFAR 알고리즘 비교: Fast CFAR과 2D CFAR의 Vitis HLS 기반 성능 평가

이용빈, 이성주*

세종대학교 반도체시스템공학과 및 지능형드론융합전공, *세종대학교 AI융합전자공학과 및 지능형드론융합전공

lyngbn99@itosc.sejong.ac.kr, *seongjoo@sejong.ac.kr

Comparison of CFAR Algorithms for FMCW Radar: Vitis HLS-Based Performace Evaluation of Fast CFAR and 2D CFAR

Lee Yong Bin, Lee Seong Joo*

Dept. of Semiconductor Systems Engineering and Convergence Engineering for Intelligent Drone, Sejong Univ., *Dept. of AI Convergence of Electronic Engineering and Convergence for Intelligent Drone, Sejong Univ.

요 약

본 논문에서는 FMCW 레이더의 타겟 탐지 정확도와 처리 속도를 개선하기 위해 Fast CFAR(FCFAR) 알고리즘을 FPGA 기반 하드웨어로 구현하고 기존의 2D CFAR 알고리즘과 성능을 비교 평가하였다. FCFAR 알고리즘은 기존 알고리즘 대비 Latency를 약 13% 감소시키고 처리 시간을 5.8ms에서 5.0ms로 개선하여 실시간성 향상을 입증하였다. 다만, 하드웨어 복잡성으로 인해 리소스 사용량이 증가하는 한계점이 존재하며, 향후 연구에서는 이를 최적화하여 실제 FPGA 구현까지 확장할 예정이다.

Ⅰ. 서 론

Frequency Modulated Continuous Wave(FMCW) 레이더는 자율주행 차량 및 드론 등 높은 정확도와 실시간성을 요구하는 분야에서 널리 사용된다. FMCW 레이더는 Range-Doppler Map(RDM)을 생성하며, 타겟 탐지를 위해 일반적으로 2D CFAR 알고리즘을 사용하지만, 연산량과 처리 시간이 많다는 문제가 있다. 이를 해결하기 위해 기존 연구[1]에서 2D CFAR을 두 번의 1D CFAR로 대체한 2-Times 1D CFAR(2T1D CFAR)을 제안했으나, 다중 타겟 상황에서 False Target이 검출되는 단점이 있었다. 이를 보완하고자 2T1D CFAR과 기존 2D CFAR을 결합한 Fast CFAR(FCFAR)을 추가로 제안하였지만[2], 실제 FPGA 기반의 하드웨어 구현 및 성능 검증은 아직 이루어지지 않았다. 본 논문에서는 이 두 알고리즘을 C++로 설계한 후 Vitis HLS를 통해 Verilog 코드로 합성 및 시뮬레이션하고, 하드웨어 기반 성능과 효율성을 비교 평가하여 제한된 플랫폼에서도 우수한 성능과 실시간성을 보장하는 레이더 시스템 구현 가능성을 제시한다.

Ⅱ. 본론

1. FMCW 레이더의 동작 원리

FMCW 레이더는 주파수가 시간에 따라 선형적으로 증가하는 Chirp 신호를 송신하고, 타겟에서 반사된 Echo 신호를 수신하여 두 신호의 주파수 차이로 Beat Signal을 생성한다. 각 Beat Signal에 FFT를 적용하면 타겟의 거리 정보를 얻을 수 있고, 여러 Beat Signal 간 FFT를 통해 Doppler 효과를 활용한 타겟의 속도 정보를 얻는다. 이러한 과정을 통해 생성된 RDM에 CFAR 알고리즘을 적용하여 타겟을 효과적으로 추출한다.

2. CFAR 알고리즘

CFAR 알고리즘은 레이더의 거짓 경보율(False Alarm Rate)을 일정하게 유지하며 정확한 타겟 탐지를 수행하는 기법으로, Cell Under Test(CUT) 주변의 Training Cell에서 잡음 수준을 분석하여 Threshold를 동적으로 결정한다.[3] 가장 널리 사용되는 방식은 Cell Averaging 방식이며, 본 논문에서도 이를 기반으로 한다. 기존의 2D CFAR 알고리즘은 RDM의 모든 셀에 적용되어 연산량과 처리 시간이 많아 실시간 응용 분야에서 효율성 문제가 발생할 수 있다.

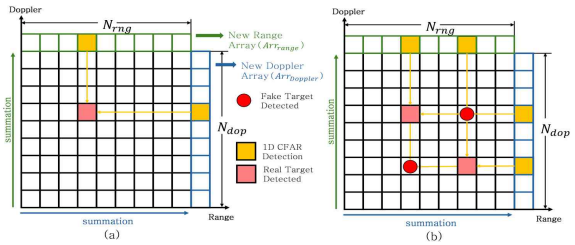

Fig. 1.(a) 2T1D CFAR Algorithm (b) Limit of 2T1D CFAR
그림 1.(a) 2T1D CFAR 알고리즘 (b) 2T1D CFAR의 한계

3. 2-Times 1D CFAR 알고리즘

그림1.(a)에 설명된 2T1D CFAR는 기존 2D CFAR을 두 번의 1D CFAR 연산으로 대체해 연산 효율성을 높이는 방법이다. 먼저 RDM의 행과 열을 각각 합산하여 Doppler와 Range 방향의 1차원 배열을 생성하고, 여기에 각각 1D CFAR을 적용하여 타겟의 위치(Index)를 찾는다. 이후 두 배열의 Index 교차점에서 최종 타겟을 검출한다. 이는 기존의 2D CFAR보다 연산량은 적지만, 다중 타겟 상황에서 그림1.(b)와 같이 실제 타겟보다 많은 False Target이 발생할 수 있다. 예를 들어, 2개의 타겟이 있을 때 최대 4개의 타겟이 검출되며, n개의 타겟이 존재하면 최대 n(n-1)개의 False Target이 생성된다.

4. Fast CFAR 알고리즘

Fast CFAR은 2T1D CFAR의 False Target 문제를 개선한 방법으로 그림2와 같은 구조를 가진다.. 먼저 2T1D CFAR을 수행하여 예비 타겟 위치를 추출한 후, 이 예비 타겟에 대해서만 2D CFAR을 적용해 실제 타겟과 False Target을 구분한다. 이 방법은 전체 Range-Doppler Map이 아니라 일부 영역에만 2D CFAR을 적용하기 때문에, MATLAB 환경에서 기존 2D CFAR 대비 연산량과 처리 시간을 약 98.8% 감소시키고, 그,

림3과 같이 타겟 탐지 정확도도 향상시킨다. 본 연구에서는 이러한 알고리즘을 Vitis HLS로 HDL 코드로 변환하고, C/RTL CoSimulation을 통해 성능을 평가한다.

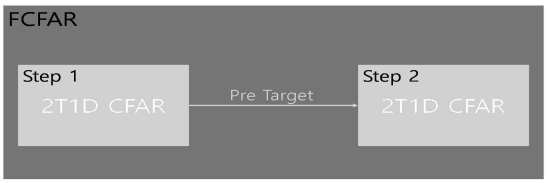

Fig. 2. Block Diagram of FCFAR
그림 2. FCFAR의 블록 다이어그램

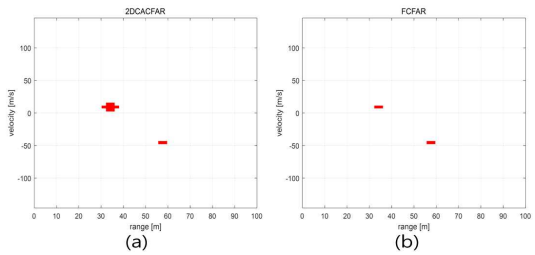

Fig. 3. MATLAB Simulation Result of 2DCFAR and FCFAR
그림 3. 2D CFAR과 FCFAR의 MATLAB 시뮬레이션 결과

5. 실험 및 결과

이전 연구에서 MATLAB으로 구현했던 FCFAR과 2D CFAR 알고리즘을 Vitis HLS 기반의 Synthesis 및 시뮬레이션을 위해 C++로 재구현하였다. KMD-2 레이더를 통해 획득한 실제 데이터를 이용했으며, 레이더의 파라미터 및 실측 환경은 표1에 제시되어 있다. 작성된 C++ 함수는 Vitis HLS를 통해 Synthesis되어 Verilog 기반 하드웨어 Kernel로 변환되며, Synthesis Report를 통해 사용된 하드웨어 리소스 정보가 제공된다. 이후, Vitis HLS의 C/RTL CoSimulation을 수행하여 C++ 함수와 Kernel 출력의 일치 여부 및 Latency를 평가하였다.

실험 결과, 표2와 같이 FCFAR의 Latency는 501,745 cycles로 측정되어 2D CFAR의 579,403 cycles 대비 약 13% 감소하였다. 목표 Clock 주기(10ns)를 기준으로 처리 시간을 환산하면, FCFAR이 약 5.0ms, 2D CFAR이 약 5.8ms로 나타났다. 그러나 FCFAR 알고리즘은 여러 단계를 연속적으로 수행하는 복잡한 구조를 가지고 있어, 단순 반복 구조인 2D CFAR보다 FF와 LUT 등 하드웨어 리소스 사용량이 증가하였다. 이는 2D CFAR이 동일한 하드웨어 유닛을 반복적으로 사용하여 Vitis HLS가 효과적으로 최적화할 수 있었기 때문으로 판단된다. 한편, Vitis HLS의 리소스 최적화 성능은 합성 대상인 C++ 코드의 알고리즘과 구조적 특성에 크게 의존하므로[4], 추후 Verilog 코드를 직접 수정하여 추가적인 리소스 최적화를 달성할 수 있을 것으로 기대된다.

결론적으로, FCFAR 알고리즘은 리소스 사용량의 증가에도 불구하고 2D CFAR 대비 뛰어난 탐지 정확도와 낮은 처리 지연시간을 제공하므로, 합리적이고 효율적인 선택이라고 평가할 수 있다.

표 1. 레이더와 타겟 파라미터
Table 1. Radar and Target Paramete

FMCW Radar Parameter	
Center Freq.	23.5GHz
Max Distance	200m
Range Resolution	0.2m
Bandwidth	970MHz
# of Chirp per Frame	256
# of Sample per Frame	256
Target Parameter	
Distance	2.0m, 4.0m
Angle	-20deg, 20deg
speed	0, 0

표 2. Vitis HLS의 Synthesis 및 Cosimulation 결과
Table 2. Result of Vitis HLS Synthesis and Cosimulation

Target CLK = 10ns	2D CFAR	FCFAR	Rate of Decrease
Synth Report			
BRAM	694	966	-39.19%
DSP	5	6	-20%
FF	13,234	88,739	-570.54%
LUT	38,316	208,976	-445.40%
C/RTL CoSimulation			
Latency [Cycle]	579,403	501,745	13.4%

Ⅲ. 결론

본 논문에서는 FMCW 레이더의 타겟 탐지를 위한 FCFAR 알고리즘과 기존 2D CFAR 알고리즘을 Vitis HLS를 통해 하드웨어 Kernel로 Synthesis하고 성능을 비교하였다. 실험 결과, FCFAR은 기존 2D CFAR 대비 Latency가 약 13% 감소했으며, 처리 시간도 5.0ms로 기존의 5.8ms보다 우수하여 실시간성이 입증되었다. 다만, 알고리즘 구조의 복잡성으로 인해 FF와 LUT 등 리소스 사용량이 증가하는 한계가 있었다. 향후에는 직접적인 알고리즘 구조 재설계 및 Verilog 코드 최적화를 통해 리소스를 효율화하고, 실제 FPGA Implementation까지 진행하여 성능과 효율성을 추가 검증할 계획이다.

ACKNOWLEDGMENT

본 연구는 과학기술정보통신부의 재원으로 한국연구재단, 무인이동체원천기술개발사업단의 지원을 받아 무인이동체원천기술개발사업과(No. 2023M3C1C1A01098414) 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행되었고(No. 2023R1A2C1006340) 검증을 위한 EDA관련 툴은 IDEC의 지원을 받았음

참 고 문 헌

[1] Y. B. Lee, S. J. Lee, "New CFAR Algorithm for FMCW Radar to Reduce Detection Speed and Computational Load", in Proc. of the 2024 IEIE Summer Conference, pp. 2219-2222, Jeju Island, Korea, June 2024.

[2] Y. B. Lee, S. J. Lee, "Fast CFAR Algorithm for Reducing Computational Load and Processing Time in Multi-Target Situations of FMCW Radar", Proceedings of Symposium of the Korean Institute of communications and Information Sciences, pp. 1602-1603, Gangwon, Korea, february 2025.

[3] A. Jalil, H. Yousaf, M. I. Baig, "Analysis of CFAR Techniques," in Proc. of the 2016 13th International Bhurban Conference on Applied Sciences and Technology (IBCAST), pp. 108-115, Islamabad, Pakistan, Jan. 12-16, 2016.

[4] S. Dai, H. H. Najafabadi, and M. B. Tahoori, "FPGA HLS Today: Successes, Challenges, and Opportunities," ACM Transactions on Reconfigurable Technology and Systems, 15(3), pp. 1 - 23, 2022.