

저궤도 위성통신을 위한 OBP 플랫폼 전원 설계에 관한 연구

홍근표, 송동호, 류영빈, 문지훈
한화시스템.

{keunpyo.hong, dongho37.song, yeongbin94.ryu, jhmoon100}@hanwha.com

A Study on the OBP Platform Power Design for LEO Setellite Communications

Keun Pyo Hong, Dong Ho Song, Yeong Bin Ryu, Ji Hoon Moon
Hanwhasystems.

요약

본 논문은 저궤도 위성탑재 신호처리장치(On Board Processor)에 사용되는 VERSAL SoC의 전원 설계에 관한 연구이다. AMD 사의 VERSAL SoC는 AI Engine을 새롭게 탑재하여 기존 DSP 기능을 대체하여 병렬연산이나 FFT 등 고속 신호처리를 지원할 수 있으나, VERSAL core 전원을 높게 소모한다. 기존 DC/DC 컨버터의 병렬 운용 설계방식에서 PWM과 Power driver 및 GaN driver를 사용하여 최대 160A까지 공급할 수 있는 전원 모듈을 설계하였다. 본 전원 설계는 향후 OBP 디지털 보드 제작에 반영하고 우주인증시험을 통해 저궤도 위성탑재체의 고성능 기능을 보장할 수 있는 전원 공급 방안으로 적용되어 효용성이 높을 것으로 기대한다.

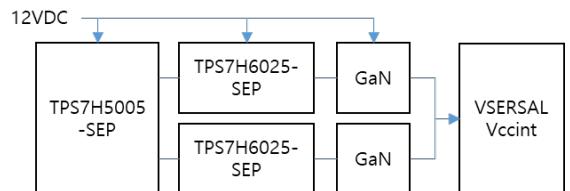
I. 서론

AMD 사의 VERTEX-QV 시리즈는 SRAM 방식의 FPGA로 처리속도가 높고 리소스가 많아 SDR 기반의 설계 및 구현이 가능한 장점이 있으나, 정지궤도 우주환경에서 사용하기에는 SEE 성능이 떨어지는 단점이 있어, 이중화 및 보호회로가 필수적으로 요구되었다.[1] 그러나 최근 저궤도 위성통신이 각광받으며 이에 따라 AMD에서도 Space 2.0에 최적화된 XQR VERSAL SoC가 새롭게 출시하였다.[2] 기존 FPGA와 다르게 On Board Processing이 가능한 성능을 보유하였다. 그리고 머신러닝(ML)이 가능하도록 AI Engine이 탑재되었으며, 저궤도 5~7년 수명주기의 미션을 수행할 수 있는 방사선 내성 성능을 보유하였다. 주요 특징인 AI Engine의 리소스를 많이 사용할 수도록 Core 전원의 소모전력이 높아지며 기존의 18A DC/DC 컨버터를 병렬 운용하여 전원을 공급하여야 하며, 부품을 여러 개 사용하다보니 보드이 면적도 많이 차지하게 되는 단점이 있다. 본 논문에서는 AI Engine을 최대한 사용할 수 있도록 최대 160A까지 공급할 수 있도록 우주부 부품을 사용하여 기능 및 성능을 제시하였다.

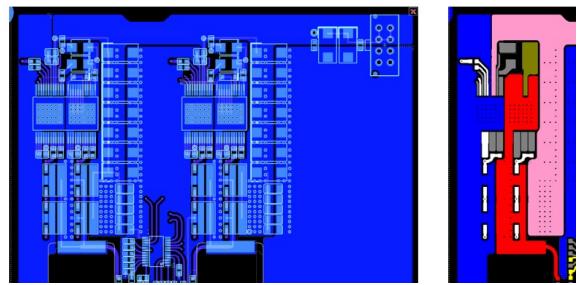
II. 본론

기존 우주급 DC/DC 컨버터는 대표적으로 TI 사의 TPS7H4003-SEP이며, 이를 사용하여 VERSAL Core 전압 0.8V를 공급한다. 18A의 출력을 공급할 수 있으며, 4개 또는 8개의 병렬 운용하여 72A에서 최대 144A의 전류를 공급할 수 있다. 부품을 여러 개 사용함으로써 부피가 많이 필요하며, 효율이 떨어질 수 있으며, 칩간 부하 밸런싱이 불안정해 질 수 있다. 또한 입력 전압이 7VDC 이므로 위성 탑재체 보드의 일반적인 12VDC 입력 전압을 공급받을 수 없는 단점이 있다.

이러한 단점을 극복하고자 본 논문에서는 TI 사의 우주부 부품인 half-bridge GaN Gate driver, Dual output PWM controller 및 EPC Space 사의 GaN HEMT(high-electron-mobility transistor)을 사용하여 회로 설계 및 성능을 검증하였다. 1개의 PWM controller에서 2개의 Gate driver에 펄스를 각각 공급하고 2채널의 Gate driver와 GaN FET를 이용하여 12V 입력 전원을 0.8V, 80A로 출력을 변환한다. 또한 출력 리플을 최소화하기 위해 출력 디커플링 커패시터의 ESR 값을 최대한 작은 값으로 선정하였다.

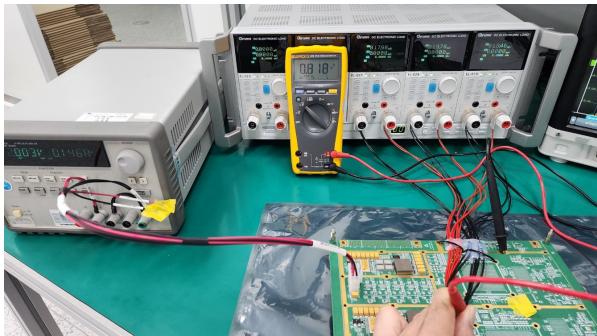


또한 PCB 설계에서는 2개의 PWM 펄스 신호는 동일한 길이로 라우팅하며, Gate driver와 GaN FET 2채널의 PCB 형상이 동일하도록 설계하여 2채널간의 부하 밸런싱이 유지되도록 설계하였다. 다음 그림은 PCB 시뮬레이션을 통해 전원설계를 검증하였다.

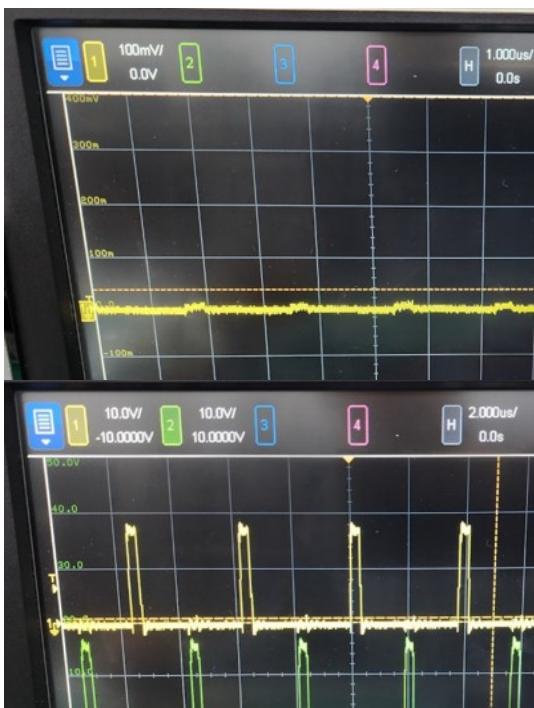


성능검증용 전원부 보드를 제작하고 성능검증을 실시하였다. 12V 입력을 인가하고, 출력에 전자 로드 계측기를 이용하여 부하를 발생하여 측정하였으며, 전원부 효율은 다음 표와 같다. 이는 TI에서 제시하는 최대 85%인 성능치와 유사함을 확인하였다.

부하 전류(A)	출력 전압(V)	입력 전압(V)	입력 전류(A)	효율(%)
30	0.809	12.0	2.412	83.9%
40	0.805	12.0	3.271	82.0%
50	0.802	12.0	4.196	79.6%
60	0.798	12.0	5.180	77.0%
75	0.793	12.0	6.769	73.2%



또한 75A 로드에서 0.8V 출력의 리플 노이즈는 27mV peak-peak로 측정되었다. VERSAL Core 전원 규격치 이내에 해당되는 성능으로 전원 노이즈가 적게 발생됨을 확인하였다. 다음으로 Dual Power driver의 로드 밸런스를 확인하기 위하여 High side control 펄스 드ュ티는 9.05%와 Low side control 펄스 드ュ티는 7.92%로 측정되었다. 전류가 75A 까지 증가하여도 펄스 드리레이션 변동이 적어 출력 밸런스가 유지됨을 확인할 수 있다. 아래 그림은 75A 부하에서도 큰 변화없이 정상 동작됨을 확인하였다.



III. 결론

본 논문에서는 저궤도 위성의 위성탑재장치에서 주요한 부품인 AMD VERSAL의 Core 전원을 80A으로 공급할 수 있는 DC/DC 컨버터를 부품 레벨에서 설계하였으며, 검증 보드를 제작하여 성능을 확인하였다. 또한 PWM controller를 2개 사용하여 Quad Gate driver로 구성하면 최대 160A 출력을 제공할 수 있다. 통신 및 이미지 처리 및 라우팅 및 AI 등 다양한 분야를 위한 위성탑재체에서 사용할 수 있는 OBP 플랫폼의 전원을 설계하였다. 이를 활용하여 저궤도 위성탑재 신호처리장치를 제작하고 열진공, 진동 및 충격, EMC 시험 등 우주인증시험을 수행하여 전원 회로의 신뢰성을 확보할 예정이다. 이를 통해 다양한 분야에서 응용되기를 기대한다.

ACKNOWLEDGMENT

이 논문은 2024년 정부(방위사업청)의 재원으로 국방기술진흥연구소의 지원을 받아 수행된 연구임(KRIT-CT-22-079).

참고 문헌

- [1] AMD, "RT Kintex UltraScale FPGAs for Ultra High Throughput and High Bandwidth Applications" (WP523).
- [2] <https://www.amd.com/ko/products/adaptive-socs-and-fpgas/versal/ai-core-series.html#tabs-b767c49f57-item-9bd29cd1a1-tab>.