

# 저궤도 위성탑재용 K-대역 CMOS 전력 증폭기에 관한 연구

류현식, 김기진  
(주)알에프닉스

hsryu@rfnissi.com

## A Study on the LEO satellite K-Band CMOS Power Amplifier

Hyunsik Ryu, Ki Jin Kim  
\*RF NISSI Co., Ltd.

### 요약

본 논문에서는 저궤도 위성탑재용을 위한 K-band 전력증폭기를 TSMC 65-nm CMOS 공정을 이용하여 설계하였다. 제안된 회로는 차동 전력증폭기로 공통소스 구조를 사용하고, 트랜스포머 구조를 사용하여 단일 대 차동변환, 임피던스 정합, 전력결합을 하였다. 제안된 전력증폭기는 RF 및 DC 패드를 포함하여 520 X 480  $\mu\text{m}$ 의 면적을 가진다. 전력 증폭기 시뮬레이션 결과, 17.7~21.2GHz 대역에서 14.6~14.9 dBm의 최대 포화 전력, 18.3~28.9 %의 PAE(power added efficiency)를 가진다.

### I. 서론

최근들어 저궤도 이동통신시스템의 수요가 많아지고 있다. 저궤도 위성통신 시스템은 다양한 대역을 이용하며, 빔포밍어레이를 통한 기술을 활용한다. 저궤도 위성통신의 특수성에 맞는 빔포밍어레이를 위한 연구가 필요한 시점에서, 이를 구현하기 위해서는 많은 수의 전력증폭기가 필요하게 된다. 전력증폭기는 송수신단 중 가장 전력 성능을 결정하는 가장 중요한 회로 중의 하나이다[1]. 이에 따라서 높은 집적도와 함께 낮은 가격경쟁력을 갖는 CMOS 기반 광대역 전력증폭기에 대한 연구가 활발하게 진행되고 있다.

본 논문에서는 65-nm bulk CMOS 공정을 사용하여 K-band 대역 위성 통신을 위한 전력증폭기를 설계하였다. 본 논문의 구성은 다음과 같다. II장에서는 전력증폭기 설계 방법에 관해 설명 및 설계결과를, 마지막으로 III장에서는 결론을 맺는다.

### II. 회로 설계

본논문에서는 65-nm CMOS 표준공정을 이용하여 전력증폭기를 설계하였다. 제안된 회로는 그림 1에서와 같이 입력단, 전력증폭기단과 출력단으로 구성하였다[2]. 입력단에는 single-ended 신호를 차동신호로 만들기 위해서 밸런스를 이용했다. 전력증폭기단에는 차동 전력증폭기를 선택하였다. NMOS 소자를 이용하였으며 공통소스(CS)단에는 60nm thin-oxide 소자를 사용하였다. 공급전압이 1.1V 가 사용되었으며 게이트 바이어스 전압은 공통소스 (CS)단은 0.52V로 각각 최적화하였다. 출력단은 차동신호를 single-ended 신호로 만들기 위해서 트랜스포머를 이용하여 구성하였다.

EM 시뮬레이션은 Agilent Momentum 을 이용하여 수행하였다. 그림 1에서 캐패시터 활용하여 최적화된 안정도와 매칭을 구현하기 위해 추가되었다.

그림 2는 65-nm CMOS 공정을 이용하여 제작된 전력증폭기 Layout 이다. Layout 면적은 패드를 포함하여 520 x 480  $\mu\text{m}$  이다.

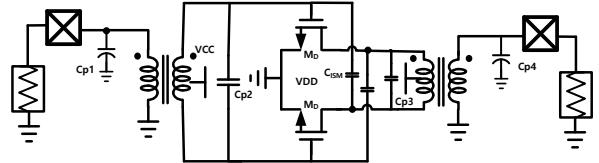


그림 1. 전력 증폭기의 회로도  
Fig. 1. Schematic of the power amplifier.

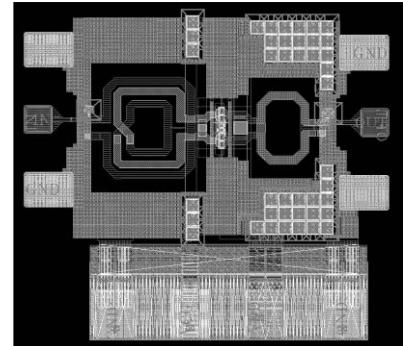


그림 2. 전력 증폭기의 layout  
Fig. 2. Layout of proposed power amplifier.

그림 3는 소신호 시뮬레이션 결과를 보여준다. 시뮬레이션 결과, 19.9 GHz에서 13.8 dB의 최대이득과 17.7 GHz에서 22.5 GHz 까지 4.8 GHz의 3 dB 대역폭을 얻었고, S11과 S22는 -5 dB 이하였다. 소신호결과로 회로의 절대 안정성을 계산한 결과, 전대역에서 안정성을 만족하였다. 그림 4는 출력전력에 따른 전력이득 및 PAE를 나타낸다. 시뮬레이션 결과 17.7~21.2GHz 대역에서 14.6~14.9 dBm의 최대 포화 전력, 18.3~28.9 %의 PAE를 가진다.

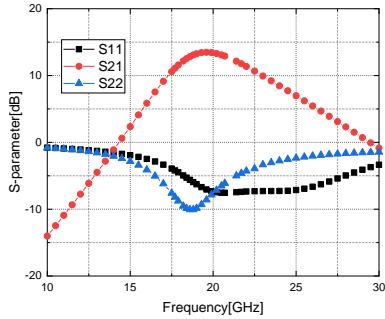


그림 3. 전력 증폭기의 S-파라미터

Fig. 3. S-parameter of proposed power amplifier.

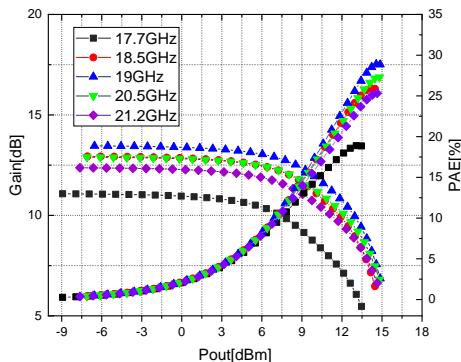


그림 4. 전력 증폭기의 전력 이득 및 PAE

Fig. 4. Gain and gain compression &amp; PAE of proposed power amplifier.

### III. 결론

본 논문에서는 65-nm CMOS 공정을 이용하여 K-Band 전력증폭기를 설계하였다. 1 단 차동 전력증폭기로 공통 소스구조를 사용하고, 트랜스포머구조를 사용하여 single-ended 신호를 차동변환, 임피던스정합, 전력결합을 하였다. 시뮬레이션 결과, 19.9 GHz에서 13.8 dB의 최대이득과 4.8 GHz의 3 dB 대역폭을 얻었다. 또한, 17.7~21.2GHz 대역에서 14.6~14.9 dBm의 최대 포화 전력, 18.3~28.9 %의 PAE를 가진다.

### ACKNOWLEDGMENT

이 연구는 저궤도 위성탑재용을 위해 2025년도 산업통상자원부 및 한국산업기술기획평가원(KEIT) 연구비 지원에 의한 연구임(RS-2024-00432984)

### 참 고 문 헌

- [1] W. Huang, H. Wang, "An inductive-neutralized 26-dBm K-/Ka-band power amplifier with 34% PAE in 90-nm CMOS," IEEE Transactions on Microwave Theory and Techniques, vol. 67, no. 11, pp. 4427–4440, Nov. 2019.
- [2] Debopriyo Chowdhury et al., "Design considerations for 60 GHz transformer-coupled CMOS power amplifiers," IEEE J. Solid-State Circuits, vol. 44,