

6G 파일럿/동기 신호 처리를 위한 Zadoff-Chu 시퀀스 FFT·NTT 비교 연구

강도경, 이성주*

세종대학교 반도체시스템공학과,
*세종대학교 AI 융합 전자공학과

dokyeong@itsoc.sejong.ac.kr, *seongjoo@sejong.ac.kr

A Comparative Study of Zadoff-Chu Sequence FFT and NTT for 6G Pilot and Synchronized Signal Processing

Dokyeong Kang, Seongjoo Lee*

Department of AI Convergence Electronic Engineering Sejong Univ Sejong Univ.,

* Department of AI Convergence Electronic Engineering Sejong Univ.

요약

본 논문은 6G 기지국용 Zadoff-Chu(ZC) 시퀀스(길이 4096, root $u=1$)의 순환 자기상관(CAC)을 (i) 전통적 FFT 기반 구조와 (ii) 정수 연산 기반 NTT + CRT 구조로 구현하여, 사이드로브 억제 성능과 FPGA 자원 소모를 비교하였다. Python 고정-소수점(소수부 7 bit) 시뮬레이션에서 두 구조 모두 PSLR ≈ 66 dB, SNR ≈ 36.4 dB를 달성했으며, Artix-7 Zynq-7000 합성 결과 NTT + CRT 구조는 DSP 블록 257→16개(93%), BRAM 48→8개(83%), LUT 31,618→29,440개(6%)로 자원을 크게 절감하면서도 지연은 4,142 cycles로 유지하였다. 제안 구조는 고효율 동기 검출을 위해 6G 기지국 하드웨어에 적합함을 입증한다.

I. 서론

6G 무선 통신은 100 Gb/s 이상의 데이터 전송 속도와 0.1 ms 이하의 레이턴시를 목표로 하며, 이를 위해 고정밀 동기 및 채널 추정이 필수적이다[1]. 이러한 요구를 만족하기 위해 3GPP NR에서는 상호상관 특성이 우수한 Zadoff-Chu(ZC) 시퀀스를 파일럿 및 동기 신호로 채택했으나[2][3], FPGA 구현 시 자원 소모와 검출 성능 간의 균형을 맞추는 것이 중요한 과제로 남아 있다. 수론적 변환(Number Theoretic Transform, NTT)은 정수 연산만으로 DFT와 동형의 순환 특성을 제공하며 LUT 파이프라인 구조 덕분에 DSP 소모를 크게 줄일 수 있다.[4][5] 본 연구에서는 전통적인 FFT 기반 CAC 구조[6]와 정수 연산을 활용한 NTT+CRT 구조를 비교·분석하여 6G 기지국 하드웨어에 최적화된 솔루션을 제안한다.

II. 본론

1. 문제 정의와 기존 FFT 기반 해결책

차세대 6G 기지국은 길이 $N = 4096 \cdot \sqrt{u} = 1$ 의 Zadoff-Chu(ZC) 시퀀스를 파일럿·동기 신호로 사용한다. ZC와 순환 자기상관(CAC)은 수식 (1), (2)와 같이 정의 된다.

$$s[n] = e^{-j\pi un(n+1)/N}, 0 \leq n < N, \gcd(u, N) = 1 \quad (1)$$

$$r[k] = \sum_{n=0}^{N-1} s[n] s^*[n-k], k = 0, \dots, N-1 \quad (2)$$

이상적인 조건에서 $|r[k]|$ 는 $k=0$ 에서만 N 이고 나머지는 0이지만, 고정-소수점 하드웨어에서는 피크-대사이드로브 비(PSLR)

가 30 dB 이상이어야 신뢰할 수 있다. 기존 CAC는 “FFT→점별 곱→역 FFT” 구조를 사용한다. 4,096 포인트 CAC 1회당 복소 곱셈 수는 수식 (3)과 같고, DPS 257개, BRAM 48개, LUT 31,618개를 필요로 하며 지연(latency)은 4,146 cycle로 전력 및 면적 제약 환경에서 과중하다.

$$C_{FFT} = 5N \log_2 N \approx 51k \quad (3)$$

2. 제안 NTT+CRT CAC 구조

복소 연산을 정수 잔여계 연산으로 대체하기 위해 두 소수 $p_1 = 469,752,049$, $p_2 = 1,224,736,769$, $p_i \equiv 1 \pmod{N}$ 를 채택했다. 각 소수 영역에서 전방/역방 NTT는 수식 (4)와 수식 (5)와 같다.

$$X_{p_i}[k] = \sum_{n=0}^{N-1} x[n] \omega_{p_i}^{nk} \pmod{p_i} \quad (4)$$

$$x[n] = N^{-1} \sum_{k=0}^{N-1} X_{p_i}[k] \omega_{p_i}^{-nk} \pmod{p_i} \quad (5)$$

Butterfly 한 개는 32×32 정수 곱 1개와 가산만으로 끝나므로 DSP 요구량이 극소화된다. 두 잔여 결과를 Chinese Remainder Theorem(CRT)으로 합성할 때는 수식 (6)을 사용한다.[7]

*교신저자

$$X = X_{p_i} + p_1 ((X_{p_2} - X_{p_1}) p_1^{-1} \pmod{p_2}) \quad (6)$$

3. 정밀도 검증 및 소프트웨어 시뮬레이션

ZC 시퀀스의 실수·허수 부분을 소수부 7 bit(×128)로 양자화해 Python 고정 소수점 모델을 구축한 결과, PSLR ≈ 66 (≈ 36.4 dB), SNR ≈ 36.4 dB, 피크 위치 완전 일치함을 확인했다. 고정 소수점 오차에 따른 PSLR 저하는 0.1 dB 미만으로, 30 dB 목표를 넉넉히 충족한다. 또한 두 그래프의 피크 위치가 완전히 일치함으로써 NTT 연산 및 CRT 합성 과정에서 위상 누적 오차가 발생하지 않았음을 확인하였다.

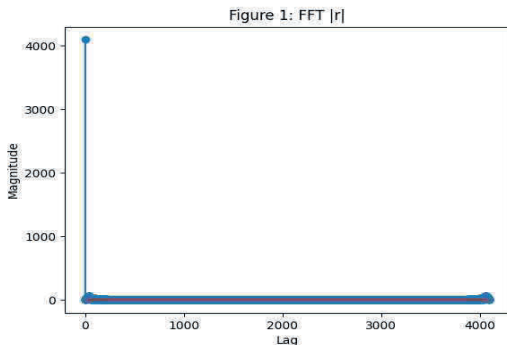


그림 1. FFT-기반 순환 자기상관 $|r[k]|$ (ZC 4096-포인트)
Fig. 1. FFT Based Circular Autocorrelation $|r[k]|$ for a 4096-Point ZC Sequence

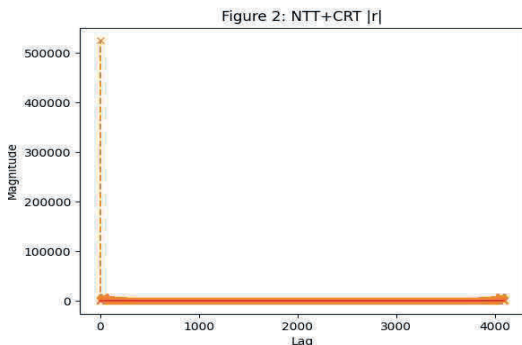


그림 2. NTT+CRT 기반 순환 자기상관 $|r[k]|$ (ZC 4096-포인트)
Fig. 2. NTT+CRT Based Circular Autocorrelation $|r[k]|$ for a 4096 Point ZC Sequence

4. 자원·지연 실측 결과 해석

Xilinx 라이브러리 FFT는 12,481 cycles의 지연과 156 DSP, 28 BRAM, 25,829 LUT를 사용하였고, Custom FFT는 지연을 4,146 cycles로 66.8 % 단축했으나 DSP 257개, BRAM 48개, LUT 31,618개로 자원 사용량이 증가했다. 제안한 NTT+CRT 구조는 지연을 4,142 cycles로 유지하면서도 DSP를 257→16개(93.8 % 절감), BRAM을 48→8개(83.3 % 절감), LUT를 31,618→29,440개(6.9 % 절감)로 대폭 개선하였다. 특히 4,142 cycles는 150 MHz 클럭 기준 약 27.6 μ s에 해당한다. 이는 6G 시스템에서 FFT 처리에 할당된 100 μ s 요구 시간 이내에 실시간 처리 가능성 보인다.

표 1. 4,096-포인트 CAC 아키텍처별 FPGA 합성 결과

Table 1. FPGA Synthesis Results for 4,096-Point CAC Architectures

	Xilinx Library FFT	Custom FFT	NTT + CRT
Latency (cycles)	12,481	4,146	4,142
DSP	156	257	16
BRAM	28	48	8
LUT	25,829	31,618	29,440
FF	26,369	26,124	35,793

III. 결론

제안된 NTT + CRT 기반 CAC 구조는 전통적 FFT-CAC와 동일한 검출 민감도(PSLR ≈ 66 dB, SNR ≈ 36.4 dB)를 유지하면서도 DSP, BRAM, LUT 사용량을 각각 93%, 83%, 6% 절감했다. 시퀀스 길이 확장 시에도 DSP 절감 효과가 유지되어, 6G 기지국 하드웨어의 전력·면적 효율성을 향상시키는 유망한 솔루션임을 실험적으로 입증하였다.

ACKNOWLEDGMENT

이 성과는 정부(과학기술정보통신부)의 재원, 한국연구재단의 지원(No. 2023R1A2C1006340) 및 정부(교육부)의 재원으로 한국연구재단의 이공분야 대학중점연구소지원사업의 지원(No. 2020R1A6A1A03038540)을 받아 수행된 연구이며 검증을 위한 EDA관련 툴은 IDEC의 지원을 받았다.

참 고 문 헌

- [1] D.-H. Lee, S.-B. Im, H.-J. Roh, and H.-J. Choi, "Frequency Synchronization Algorithm for Improving Performance of OFDMA System in 3GPP LTE Downlink," *J. Korea Inst. Commun. Inf. Sci.*, vol. 34, no. 1C, pp. 120 - 130, Jan. 2009.
- [2] M. M. Hyder and K. Mahata, "Zadoff - Chu sequence design for random access initial uplink synchronization in LTE-like systems," IEEE Trans. Wireless Commun., vol. 16, no. 1, pp. 503 - 511, Jan. 2017.
- [3] M. M. Hyder and K. Mahata, "Zadoff - Chu sequence design for random access initial uplink synchronization in LTE-like systems," IEEE Trans. Wireless Commun., vol. 16, no. 1, pp. 503 - 511, Jan. 2017.
- [4] S.-H. Liu, C.-Y. Kuo, Y.-N. Mo and T. Su, "An area-efficient, conflict-free and configurable architecture for accelerating NTT/INTT," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 32, no. 3, pp. 519 - 533, Mar. 2024.
- [5] S.-H. Liu, C.-Y. Kuo, Y.-N. Mo and T. Su, "An area-efficient, conflict-free and configurable architecture for accelerating NTT/INTT," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 32, no. 3, pp. 519 - 533, Mar. 2024.
- [6] Y. Huang, A. Hu, Y. Huang, S. Xie, D. Zhu and M. Xue, "An integer time delay estimation algorithm based on Zadoff - Chu sequence in OFDM systems," IEEE Trans. Veh. Technol., vol. 63, no. 6, pp. 2941 - 2947, Jul. 2014.
- [7] E. A. Garner, "The residue number system," IRE Trans. Electron. Comput., vol. EC-12, no. 3, pp. 93 - 98, Jun. 1963.