

## QKD-WDM 시스템을 위한 저잡음 저전력 수신기 구현

장현진, 김철우  
고려대학교

jhj@kilby.korea.ac.kr, ckim@korea.ac.kr

## Low-noise, Low-power Receiver Design for QKD-WDM Systems

Jang Hyunjin, Kim Chulwoo  
Korea Univ.

## 요 약

본 논문은 양자암호통신(Quantum Key Distribution, QKD)을 기존 Wavelength Division Multiplexing(WDM) 네트워크에 통합할 때 발생하는 채널 간 간섭(crosstalk)을 해결하기 위한 저잡음 및 저전력 수신기를 설계하고, 16 Gbps 환경에서 시뮬레이션을 통해 검증한다.

## I. 서론

양자암호통신(Quantum Key Distribution, QKD)은 도청이 불가능한 보안 채널을 제공한다는 점에서 차세대 통신망의 핵심 기술로 주목받고 있다[1]. 이에 따라 기존 Wavelength Division Multiplexing(WDM) 기반 가입자망에 QKD를 통합하는 연구의 중요성이 대두되고 있다[2], [3]. 그러나 QKD 신호는 매우 약한 광 신호를 사용하기 때문에 고출력의 기존 WDM 채널들과 가까운 파장 대역에 배치될 경우, 채널 간의 간섭(crosstalk)에 매우 취약하다. 이러한 간섭은 QKD의 BER 성능을 악화시켜 보안 통신의 신뢰성을 저하시킬 수 있다.

일반적인 Coarse Wavelength Division Multiplexing(CWDM) 구성에서는 QKD 신호와 WDM 채널 간의 파장 간격이 약 20nm으로 제한되어 있어 간섭 발생이 불가피하다. 이를 해결하기 위한 방법 중 하나로, QKD 신호를 기존 C-band 외부에 위치시키고, WDM 채널은 C-band 내에 집중함으로써 약 200nm 이상의 파장 간격을 확보하는 Dense Wavelength Division Multiplexing(DWDM) 기반 구성은 QKD 신호와 WDM 채널 간 간섭을 최소화하는데 효과적이다 (Fig. 1).

그러나 각 채널의 광 파워가 증가할수록 비선형 간섭이 심화되며, 이는 수신기의 Signal-to-Noise(SNR)을 저하시켜 전송 신뢰도에 부정적인 영향을 미칠 수 있다. 이러한 문제를 방지하기 위해 전체 송신 광 파워를 제한해야 하며, 결과적으로 수신기는 매우 낮은 입력 광 파워 환경에서도 안정적인 동작을 보장해야 한다. 특히 낮은 광 파워에서는 회로 잡음의 상대적인 영향이 커지기 때문에, 수신기는 낮은 입력 전력 조건에서도 inter-symbol interference(ISI)를 최소화하여 충분한 SNR을 확보하고 낮은 BER를 달성할 수 있는 구조여야 한다. 또한 WDM 채널 수가

증가할수록 수신기 수도 함께 증가하게 되므로, 전체 시스템의 전력 효율을 고려할 때 수신기의 저전력 특성 역시 필수적인 설계 요건이 된다.

본 연구에서는 이러한 시스템 환경에서 요구되는 저잡음 및 저전력 특성을 동시에 만족하는 수신기 회로를 설계하고 시뮬레이션을 통해 그 성능을 검증하였다. 제한한 회로는 낮은 입력 전력 조건에서도 양호한 SNR을 유지할 수 있도록 연속시간 선형 등화기(Continuous-Time Linear Equalizer, CTLE)를 사용하여 ISI를 제거하였으며, 동시에 누적 전력 소모를 최소화할 수 있도록 저전력 아키텍처를 적용하였다.

## II. 본론

## A. Top Structure of Receiver Design

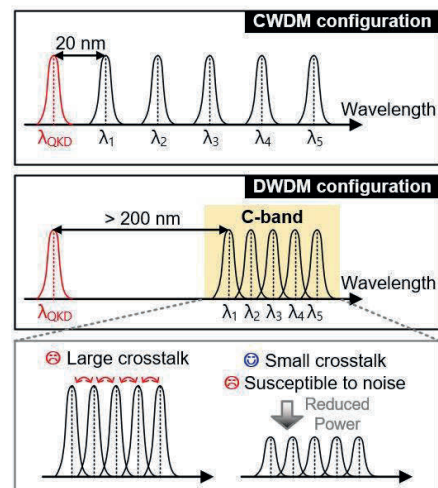


Fig. 1. QKD와 WDM 채널의 파장 분리 구조 비교: CWDM과 DWDM

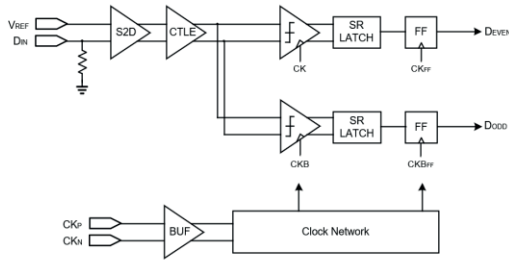


Fig. 2. 설계한 수신기의 전체 구조

Fig. 2 는 설계한 수신기(Receiver)의 전체 구조를 나타낸다. 본 수신기는 단일-차동 변환기(Single-to-Differential, S2D), 연속시간 선형 등화기(Continuous-Time Linear Equalizer, CTLE), 비교기(Comparator), 그리고 SR 래치(SR Latch)로 구성되어 있다. S2D 블록은 단일-종단(single-ended) 형태로 수신된 아날로그 신호를 차동(differential) 신호로 변환하여 이후의 신호 처리 단계에서 잡음 및 간섭에 대한 면역성을 향상시킨다. CTLE 는 수신한 신호에 존재하는 고주파 감쇠 및 왜곡을 보상하여 ISI 를 최소화하며[4], [5], Comparator 는 CTLE 출력 신호를 샘플링하여 디지털 데이터로 변환한다. 본 설계에서는 positive feedback 을 이용하여 결정 속도가 빠르고, 정적 전력(static power) 소모가 없는 latch-type sense amplifier 를 사용하였다[6]. 마지막으로 SR latch 는 RZ 신호인 Comparator 출력을 NRZ 신호로 변환하여 최종 출력을 생성한다. 또한 본 수신기는 고속 신호 환경에서 클럭 회로의 전력 소모를 줄이기 위해 데이터 레이트의 절반 주파수로 동작하는 half-rate 구조를 사용하였다.

#### B. Continuous Time Linear Equalizer

본 연구에서 설계한 CTLE 는 16 Gbps 데이터 전송 속도를 목표로 하였으며, Nyquist 주파수인 8GHz 를 고려하여 약간의 설계 마진(design margin)을 둔 10 GHz 근처에서 피킹(peaking) 특성을 갖도록 최적화되었다. 피킹 주파수에서 최대 약 5 dB 의 이득 피킹을 달성하여 고주파 신호를 효과적으로 증폭함으로써 수신 신호 왜곡을 보상한다. 또한 CTLE 의 입력 MOSFET 소스 단에 연결된 MOSFET 의 게이트 전압을 조절하여 degeneration 저항(degeneration resistor) 값을 가변적으로 조절할 수 있다. 이를 통해 저주파 영역의 이득과 피킹 강도(boosting factor)를 조절하여 다양한 채널 환경에 따른 주파수 응답 최적화가 가능하다 (Fig. 3). Fig. 4 는 수신기 입력 신호와 CTLE 를 통과한 이후 신호의 eye diagram 을 비교한 것이다. CTLE 적용 후 출력 신호의 eye diagram 에서 eye height 와 eye width 가 현저히 개선되어 신호 품질이 향상됨을 확인하였다.

#### C. Simulation result

본 수신기는 28 nm CMOS 공정을 기반으로 설계되었으며, 1.0 V 단일 전원에서 동작한다. 데이터 전송 속도는 16 Gbps 를 목표로 하였으며, 약 -12 dB 의 채널 손실 환경에서도 안정적인 데이터 복구를 수행함을 내장 자가 테스트(Built-In Self-Test, BIST)를 통해 확인하였다. 전체 회로의 전력 소모는 3.6 mW 로 측정되었으며, 0.225 pJ/bit 의 에너지 효율(energy efficiency)을 달성하였다.

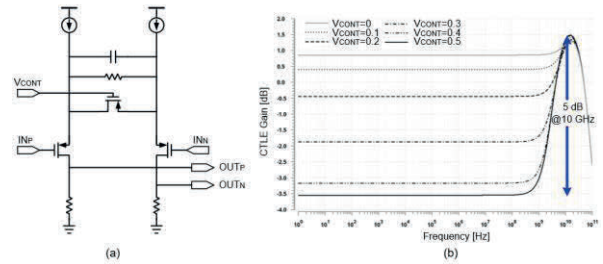


Fig. 3. CTLE (a) 구조 (b) AC response

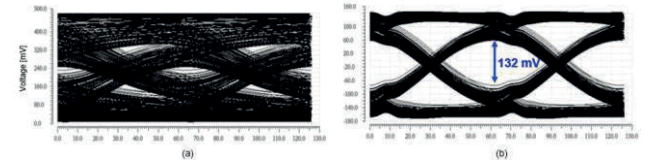


Fig. 4. (a) 수신기 입력 신호 (b) CTLE 출력 신호의 eye diagram

### III. 결론

본 논문에서는 QKD 신호를 WDM 시스템에 적용하기 위한 저잡음 및 저전력 수신기 회로를 설계하고, 시뮬레이션을 통해 성능을 평가하였다. 설계한 수신기는 연속시간 선형 등화기(CTLE)를 활용하여 신호 왜곡과 ISI 를 효과적으로 보상하였으며, S2D, Comparator, SR 래치 등을 포함하는 half-rate 회로 구조를 통해 높은 신호 품질과 안정적인 데이터 복구를 실현하고 높은 전력 효율을 달성하였다. 시뮬레이션 결과, 16 Gbps 의 데이터 전송 환경에서 -12 dB 의 손실에도 불구하고 우수한 전력 효율과 낮은 비트 오류율을 확보하였다. 본 연구는 QKD 신호와 고속 WDM 채널이 공존하는 환경에서 신뢰성 있는 고효율의 데이터 수신을 위한 수신기를 설계했다는 점에서 의의가 있다.

### 참 고 문 헌

- [1] C. H. Bennett and G. Brassard, "Quantum cryptography: Public key distribution and coin tossing," *Theoretical Computer Science*, vol. 560, pp. 7-11, 2014.
- [2] B. Qi, W. Zhu, L. Qian and H.-K. Lo, "Feasibility of quantum key distribution through a dense wavelength division multiplexing network," *New J. Phys.*, vol. 12, 103042, 2010.
- [3] Y. Cao, Y. Zhao, Y. Wu, X. Yu and J. Zhang, "Time-scheduled quantum key distribution (QKD) over WDM networks," *Journal of Lightwave Technology*, vol. 36, no. 16, pp. 3382-3395, 2018.
- [4] B. Razavi, "The design of an equalizer," *IEEE Solid-State Circuits Mag.*, vol. 13, no. 4, pp. 7-11, Fall 2021.
- [5] S. Hong et al., "A reflection and crosstalk canceling continuous-time linear equalizer for high-speed DDR SDRAM," in *Proc. Symp. VLSI Circuits*, Jun. 2021, pp. 1-2.
- [6] D. Schinkel, E. Mensink, E. Klumperink, E. van Tuijl and B. Nauta, "A double-tail latch-type voltage sense amplifier with 18 ps setup+ hold time," in *IEEE Int. Solid-State Circuit Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2007, pp. 314-605.