

코스퍼터링 및 고속 비저항 측정 실험 기반 자동화 시스템 구축

안승준¹, 이진우², 이동우*^{1,2}

¹성균관대학교 기계공학부

²성균관대학교 반도체융합공학과

tmdwns9678@g.skku.edu, leeju5628@g.skku.edu, dongwoolee@g.skku.edu*

Development of an Automated System for Co-sputtering and High-Speed Resistivity Measurement

Seung-Jun An¹, Jin-Woo Lee², Dong-Woo Lee*^{1,2}

¹School of Mechanical Engineering, Sungkyunkwan University, Seobu-ro, Suwon 16419, Republic of Korea.

²Department of Semiconductor Convergence Engineering, Sungkyunkwan University, Seobu-ro, Suwon 16419, Republic of Korea

요 약

반도체 배선 재료의 고성능화는 고집적화된 회로에서의 전기적 신뢰성을 확보하기 위한 핵심 요소이다. 본 연구는 마그네트론 스퍼터링 시스템을 이용한 박막 증착 공정과 전기 비저항 측정 과정을 자동화하기 위해, 로봇틱스 기술을 활용한 통합 시스템의 구축을 목표로 한다. 이를 위해 마그네트론 스퍼터링 장비, 비저항 측정 장비, 그리고 웨이퍼 이송 로봇을 연동하여, 웨이퍼의 증착부터 물성 평가까지의 실험 전 과정을 자동화하고자 한다. 본 시스템은 반복적인 수작업 실험을 대체함으로써, 실험의 효율성이 향상된 실험 환경을 구축하고자 한다.

I. 서 론

반도체 산업의 지속적인 고집적화는 전류 밀도의 증가를 초래하며, 이에 따라 기존 구리 배선의 전기 비저항 상승 및 Hillock 과 Void 형성과 같은 신뢰성 문제가 대두되고 있다.[1] 이러한 문제를 해결하기 위해서는 비저항이 낮고 Electro-Migration (EM)에 강한 차세대 합금 배선소재의 개발이 요구된다. 그러나 다양한 조성과 두께 조건을 실험적으로 검증하는 것은 시간과 자원이 과도하게 소모된다. 본 연구는 이러한 문제를 해결하고자 로봇틱스를 기반으로 한 코스퍼터링 및 전기적 특성 측정 자동화 시스템을 구현하고자 한다.

II. 본론

본 연구에서는 로봇틱스 기반 자동화 시스템을 구축하여, 다양한 조성의 박막 합금을 자율적으로 합성하고 비저항 측정을 할 수 있는 시스템을 설계하였다. 웨이퍼는 로봇 이송 시스템을 통해 스퍼터링 장비로 자동 투입되며, 증착이 완료된 후에는 비저항 측정 장비 또는 데시케이터 보관 위치로 자동 이송된다. 비저항 측정 모듈은 4-point probe 방식의

자동 매핑 시스템으로 구성되어 있으며, 합성된 박막의 위치별 전기적 특성을 정밀하게 측정할 수 있도록 설계되었다. 측정된 데이터는 클라우드 기반 데이터베이스에 실시간으로 저장되며, 이후 SHAP 기반 회귀 분석 모델과 연계되어 비저항의 상관 관계를 해석하는 데 활용된다.[2] 전체 실험 프로세스는 자동화된 피드백 루프 구조로 운영되며, 조건 설정-공정-측정-분석의 순환 과정을 통해 로봇틱스 기반의 자동화된 실험 설계가 가능하도록 구성되어 있다.

III. 결론

본 연구는 로봇틱스 기반의 배선재료 공정 자동화 시스템을 구축하여, 순환 과정을 통해 공정 조건의 최적화와 전기 물성의 메커니즘 분석을 반복하여 진행한다. 향후 해당 시스템을 통해서 Cu 기반의 배선 재료 박막 공정을 하고, 낮은 비저항과 높은 EM 저항성을 가지는 조성을 도출한다.

ACKNOWLEDGMENT

This research was supported by SMEs Technology Innovation Development Program

through the Technology Innovation and Promotion Agency (TIPA), funded by Ministry of SMEs and Startups (Grant Number: RS-2024-00511332).

참 고 문 헌

- [1] Havemann RH, et al. High-performance interconnects: an integration overview. *Proceedings of the IEEE*. 2001 May;89(5):586- 601.
- [2] Kwon N, Bang J, Sung WJ, Han JH, Lee D, Jung I, Park SG, Ban H, Hwang S, Shin WY, Bae J, Lee D. Machine learning investigation of high-k metal gate processes for dynamic random access memory peripheral transistor. *APL Materials*. 2024 Feb;12(2):021131.