

# 소형유도무기를 위한 FPGA 기반 1D-CNN 가속기 구조 제시

허재영, 김종한\*

LIG 넥스원

jaeyeong.hur@lignex1.com, \*jonghan.kim@lignex1.com

## FPGA-Based 1D-CNN Accelerator Architecture for Target Detection in Small Guided Missiles

Jaeyeong Hur, Jonghan Kim\*

LIG Nex1

### 요약

본 연구에서는 1D-CNN 기반 AI 모델을 FPGA 상에서 구현하기 위한 Convolution, ReLU, MaxPooling, Fully Connected 계층 모듈을 설계하고, 고정소수점 연산과 파이프라인 구조를 통해 실시간으로 추론 가능한 가속기로 구현하였다. 또한 이를 검증하기 위하여 AI 모델 전체 구조에 각 모듈을 적용하고 이를 Artix-7 FPGA를 대상으로 검증하여 실시간성을 갖춘 가속기 설계임을 확인하였다.

### I. 서 론

최근 드론을 활용한 공격 방법이 발전함에 따라, 이러한 소형 목표를 탐색하고 인지할 수 있는 경량화된 유도무기와 이에 적용되는 탐색 알고리즘의 필요성이 커지고 있다. 특히, 이러한 소형 유도무기에서는 제한된 연산 자원과 전력 조건하에서도 실시간성을 보장할 수 있는 하드웨어 구조가 요구된다. 하지만 기존 연구에서는 고성능 CPU나 GPU를 활용한 AI 연산이 주를 이루어, 전력 소모와 발열, 부피의 제약으로 인해 경량화된 유도무기 시스템에서는 적용이 어려웠다.

이에 따라, 본 연구에서는 1D-CNN 기반의 경량화된 AI 모델을 FPGA 상에서 추론 가능한 가속기로 구현하고 이를 유도무기 적용 방안으로 제시하고자 한다. 설계된 가속기는 기존 웨어러블 장치에서 적용되었던 다양한 가속기 구조를 기반으로, 유도무기 시스템에서 많이 사용되는 FPGA에서 실시간 탐색 AI 알고리즘을 가속할 수 있는 구조를 구성하였다. FPGA 기반 구조는 병렬 연산이 가능하고 전력 소모를 최소화할 수 있어, 실제 소형 유도무기 응용에서도 적합한 성능을 확보할 수 있다.

본 논문에서는 제안하는 1D-CNN 모델의 구조와 이를 하드웨어 가속기로 구현한 RTL 설계 및 시뮬레이션 과정을 소개하고, 성능 지표를 기반으로 유도무기 시스템에 적용 가능한 수준의 실시간성 및 경량성 확보 여부를 분석한다.

### II. 본론

#### 2.1 1D-CNN 가속기 구조

본 연구에서는 드론 탐색용 소형 유도무기에 탑재 가능한 1D-CNN 기반 AI 추론 가속기를 설계하였다. 제안하는 구조는 FPGA에서 동작 가능하도록 RTL 기반으로 구현되었다.

하드웨어 구조는 Convolution, ReLU, MaxPooling, Fully Connected 계층 등으로 구성된 1D-CNN 모델을 기준으로 하며, 각 계층은 하드웨어에서 독립적으로 동작하는 모듈로 구현되었다. 특히 Convolution 연산은 line buffer 와 multiply-accumulate (MAC) 구조를 활용하여 효율적으로 수행되며, 각 계층 간 데이터 흐름은 파이프라인 구조로 연결되어 실시간 처리를 가능하게 한다.

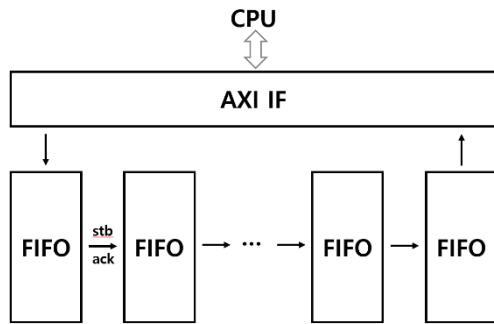


Figure 1. 1D-CNN 모듈 파이프라인

최종 출력은 Fully Connected 계층에서 계산되며, 연산 경량화를 위해 고정소수점(Fixed-Point) 연산을 사용하였다. 전체 구조는 소형 FPGA에서 구현 가능하도록 면적과 전력을 최소화하는 방향으로 최적화되었다. 아래는 설계한 각각의 모듈을 GPS 스포핑 탐지용 1D-CNN 모델에 맞춰 전체 모델 구조로 구현한 전체 1D-CNN 하드웨어 가속기 블록 다이어그램이다. 사용한 자원량은 26,455 LUT를 사용하였다.



Figure 2. AI 모델에서 각 가속기 모듈 적용 예시

## 2.2 시뮬레이션 결과

설계된 1D-CNN 가속기는 Verilog HDL로 구현되었으며, Xilinx Vivado 환경에서 기능 검증 및 타이밍 시뮬레이션을 수행하였다. 입력 신호는 전체 구조로 적용한 GPS 스포핑 탐지용 모델의 데이터를 가정하였으며, 시뮬레이션을 통해 정상적인 데이터 흐름과 분류 결과를 확인하였다.

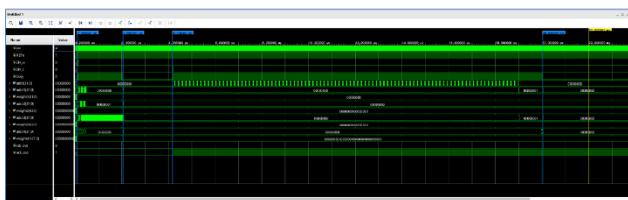


Figure 3. AI 예시 모델 Testbench 결과 Waveform

각 계층의 동작은 Testbench를 통해 검증하였고, 전체 추론 시간은 클럭 사이클 기준으로 측정하였다. 또한, 각 모듈별 동작 로그를 통해 내부 상태와 연산 결과를 전체 모델의 결과와 동시에 검증하였다. 전체

연산에 소요된 시간은 Artix-7의 AXI 클럭의 최대 속도 100MHz를 기준으로 내부 연산은 약 152 사이클, 약 1.52 μs로 확인되었으며, Flatten, Softmax를 위한 인터페이스 입출력까지 포함한 소요 시간(CPU 연산 제외) 1.66μs이다. 이는 소형 유도무기 시스템에서 요구하는 실시간성, 수 ms 이내의 조건을 만족하는 수준임을 확인하였다.

## III. 결론

본 연구에서는 소형 유도무기의 실시간 탐색을 위한 하드웨어 구조로서, 1D-CNN 기반 AI 모델을 FPGA상에 구현 가능한 형태의 가속기로 설계하였다. 제안된 가속기는 Convolution, ReLU, MaxPooling, Fully Connected 계층으로 구성되며, 각 모듈은 FIFO 기반 파이프라인 구조로 연결되어 실시간 처리 성능을 확보하였다. 또한 고정소수점 기반의 연산 최적화와 파이프라인 구조는 전력 소모 및 하드웨어 자원 사용을 최소화하는 데 기여하였다.

이러한 구조는 기존 고성능 CPU/GPU 기반 연산 대비 소형화, 저전력 측면에서 유리하며, 향후 유도무기 시스템뿐만 아니라 다양한 경량 임베디드 AI 응용 분야에도 확장 가능할 것으로 기대된다. 특히 기존 시스템에 대한 최소한의 구조 변경만으로 적용 가능하다는 점에서 높은 실용성을 가진다.

## ACKNOWLEDGMENT

본 연구는 LIG 넥스원 미사일시스템핵심기술연구소의 지원을 받아 이루어졌음에 감사드립니다.

## 참 고 문 헌

- [1] Y.-H. Sung, S.-J. Park, D.-Y. Kim, and S. Kim, "GPS Spoofing Detection Method for Small UAVs Using 1D Convolutional Neural Network," *Sensors*, vol. 22, no. 23, art. 9412, 2022.
- [2] H. Yu, D. Zhang, Y. Yang, S. Chen, and Z. Li, "Design of lightweight on-chip one-dimensional convolutional neural network accelerators for edge-end chips," *Microelectronics Journal*, vol. 106570, 2025.