

코히어런트 광액세스 네트워크를 위한 100 Gbps DSP FPGA 구현

오정열, 박찬호, 나해영*, 강헌식
한국전자통신연구원, *미로앤아이
jyoh@etri.re.kr

FPGA Implementation of 100 Gbps DSP for Coherent Optical Access Networks

Jung-Yeol Oh, Chan-Ho Park, Hae-Young Rha*, Hun-Sik Kang

Electronics and Telecommunications Research Institute (ETRI), *Miro&I Co.

요약

본 논문은 코히어런트 광액세스망 적용을 위해 100 Gbps 급 Alamouti 기반 PTBC DSP를 FPGA에서 실시간 구현하였다. 구현 DSP는 30 Gbaud 16-QAM 단일 반송파 신호를 20 km 광섬유 전송 채널에서 검증하고, FEC 임계 BER 1×10^{-2} 을 기준으로 약 34.6 dB의 파워 버짓을 달성하여 코히어런트 광액세스망에 적용 가능성을 확인한다

I. 서론

코히어런트 광전송 기술은 높은 스펙트럼 효율, 채널 용량, 수신 감도 및 주파수 선택성을 제공하며, 전기 복소 영역에서의 디지털 신호 처리를 통해 색분산 보상이 용이하다는 장점으로 차세대 광액세스망을 위한 핵심 기술로 평가되고 있다. 그러나 종래의 코히어런트 검출 수신기 구조는 이중 편광 수신기와 고가의 광 부품을 필요로 하여 비용과 복잡도 측면에서 광액세스망에 직접 적용하기 어렵다는 한계가 있다. 이를 극복하기 위해 광 부품의 복잡도와 전력 소모를 줄이는 “Coherent-Lite” 기술이 제안되었으며, 단일 편광 수신기를 기반으로 Alamouti 코딩을 적용한 편광 시간 블록 코딩 (PTBC: Polarization Time Block Coding) 방식은 편광 상태 변화에 따른 성능 열화를 줄여 차세대 광액세스망의 유력한 대안으로 주목받고 있다[1-2].

그러나 Alamouti 기반 PTBC 시스템의 실제 구현에서는 고차 변복조, 부호화/복호화, 채널 등화, 반송파 및 위상 복원 등 고속 DSP 기능이 요구되며, 이를 위한 병렬화 구조는 복잡도 증가와 처리 지연으로 인한 성능 열화를 초래할 수 있다. 이전 연구를 통해 피드포워드 기반 위상 추정 기법을 제안하여 종래의 피드백 기반 위상 추정에 따른 문제를 개선하였다.[3] 본 논문에서는 100 Gbps 급 16-QAM 단일 반송파 기반 PTBC 코히어런트 송수신 DSP를 실시간으로 구현하여, 20 km 광섬유 전송 채널에서 성능을 실험적으로 검증함으로써 차세대 코히어런트 광액세스망 적용 가능성을 제시한다.

II. 본론

PTBC 전송 방식은 그림 1과 같이 단일 편광 코히어런트 수신을 위해 Alamouti 코드를 사용하여 송신 신호를 편광과 시간축에서 부호화를 적용한다. 보다 구체적으로 두개의 복소 변조 신호 $[x_1, x_2]$ 을 전송할 때, 인접한 두 심볼쌍에 대해 첫번째 심볼에서는 X 및 Y 편광에 $[x_1, x_2]$ 를 전송하고, 두번째 심볼에서는 $[-x_2^*, x_1^*]$ 을 전송하여, 다이버시티 효과를 통해 편광 회전에 성능열화가 없는 등화가 가능하다.

그러나 PTBC 복호기는 기존의 피드백 구조의 위상 추정기에 의존하게 되며 이로 인해 높은 보드레이트

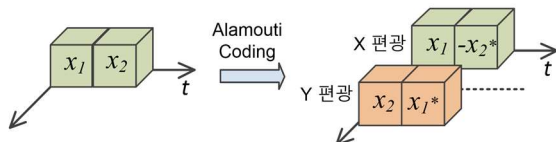


그림 1. 알라무티 기반 PTBC 부호화 구조

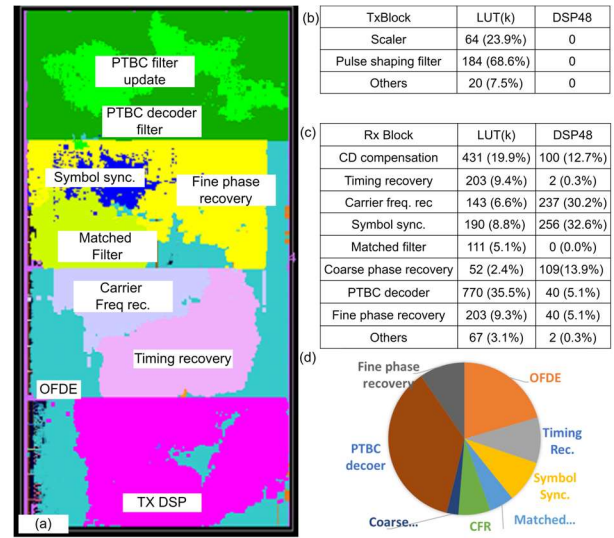


그림 2. 구현 FPGA Floorplan 과 DSP 사용량

환경에서 위상 추정의 어려움을 초래한다. 이전 연구를 통해 병렬화 구조가 64 이상으로 증가하면 기존 피드백 구조에서는 원하는 성능을 달성하기 어려움이 확인되었다. 그러나 DSP의 실시간 구현을 위해 클럭 속도를 수백 MHz 수준으로 낮추면서 100 Gbps 전송 속도를 달성하기 위해서는 128 이상의 병렬화 구현이 필요하였다. 기존 피드백 구조의 PTBC 복호기로는 이러한 요구를 충족할 수 없으며, PTBC 복호기 구조를 피드포워드(Feed-Forward) 방식으로 변경하여 128 병렬화에서도 성능 열화 없이 안정적인 성능을 유지함을 확인하였다.[3] 프레임은 288 개의 프리앰블 심볼, 2,048 개의 훈련 심볼, 1,600,000 개의 데이터 심볼로 구성되며, 64 개의 데이터 심볼마다 두 개의 QPSK 파일럿 심볼이 삽입되었다. 심볼 전송률은 32.78 Gbaud 이며, 100 Gbps의 데이터 전송률을 달성하였다. 수신기는 128 심볼 병렬 처리되며, 샘플링 클럭 주파수는 256.08 MHz 이다.

Xilinx XCVU19P FPGA에서 수행되었으며, 그림 2는 FPGA Floorplan과 송수신 DSP의 자원 사용량을 나타낸다. 이중 PTBC 복호기와 OFDE (Overlapped Frequency Domain Equalizer)가 가장 많은 자원을 사용하였다.

그림 3과 4는 실험 셋업 구성을 보인다. 요구되는 샘플링 속도를 만족하는 상용 ADC/DAC를 확보하기 어려웠기 때문에, 본 연구에서는 실시간 FPGA 처리와 오프라인 (Offline) 시험을 결합한 형태의 테스트베드를 구축하였다. DSP FPGA 플랫폼은 PCIe 인터페이스를 통하여 오프라인 시험 셋업과 연결된다. FPGA 송신 DSP

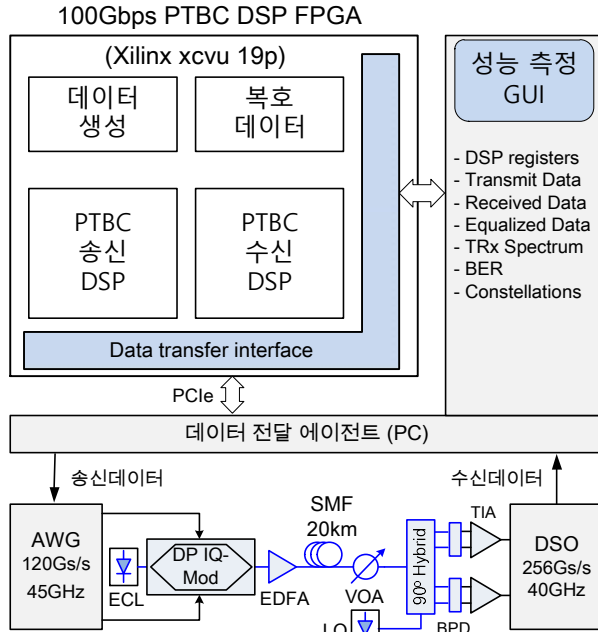


그림 3. 실험 셋업

에서 생성된 전송 신호는 PCIe 인터페이스를 거쳐 데이터 전달 Agent 로 전달되고 이것은 AWG (Arbitrary Waveform Generator)에 로딩되어 기저대역 신호를 생성한다. 생성된 전기적 신호는 ITTRA (Finisar FIXQ6410C1mf) 의 IQ 변조기에 입력되며, 300 kHz 선폭을 갖는 레이저를 통해 광변조 신호로 변환된 뒤 20 km 단일모드 광섬유 (SMF) 를 통해 전송된다. 전송된 광신호는 가변 광 감쇠기 (VOA : Variable Optical Attenuator)를 통해 광세기를 조정 한 후 단일편광 구조의 광수신기에 입력된다. 수신된 광 신호는 전기신호로 변환된 뒤 실시간 오실로스코프로 캡처되어 파일로 저장되며, 데이터 전달 Agent 를 통해 FPGA 수신 DSP 로 전달된다. 이후 FPGA 수신 DSP 에서 신호 왜곡을 보상되고 수신 신호가 복원된다.

그림 5 는 다양한 조건에서 수신 광전력 (ROP) 따른 BER 성능 측정 결과를 보인다. 부동소수점 연산 기반 시뮬레이션 결과와 함께, 고정소수점 연산에서 복호기의 피드백 루프의 영향이 없는 결과도 제시하였다. 또한 FPGA 구현에서는 매 프레임 마다 필터의 계수를 초기화하는 버스트 (Burst) 모드와 이전 프레임의 계수를 유지하는 연속 (Cont) 모드를 모두 평가하였다. FEC 임계값 10^{-2} 기준에서 FPGA 구현은 부동소수점 연산 대비 약 1.1 dB 열화를 보였으나, 연속 모드에서는 필터 계수 재사용을 통해 약 0.5 dB 성능 손실을 회복하였다. 결과적으로 연속 모드에서 7 dBm 송신 출력으로 약 34.6 dB 의 파워버짓을 달성하였다.

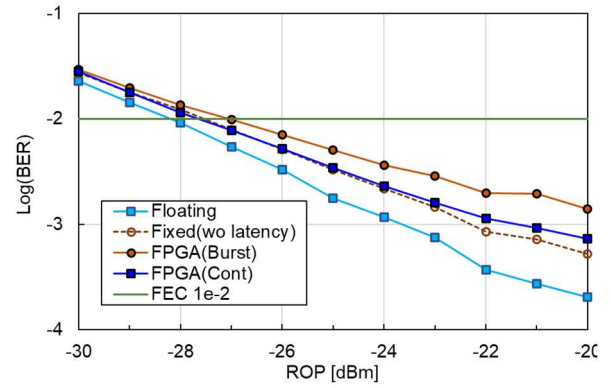


그림 5. 시험 성능 측정 결과

III. 결론

본 연구에서는 100 Gbps 급 16-QAM PTBC 코히어런트 시스템을 20 km 광전송 실험을 통해 검증하였다. 그 결과 약 34.6 dB 의 파워 버짓을 달성하였으며, 이를 통해 제안된 방식이 차세대 광액세스망에 적용될 수 있는 가능성을 확인하였다.

ACKNOWLEDGMENT

본 연구는 정부(과학기술정보통신부)의 재원으로 정보통신기술진흥센터의 지원을 받아 수행된 연구임 (No. 2021-0-00809, Tbps 급 광통신 인프라 기술 개발)

참 고 문 헌

- [1] Faruk, Md Saifuddin, et al. "DSP algorithms for recovering single-carrier Alamouti coded signals for PON applications." *Optics express* vol. 24, no.21 pp. 24083-24091, (2016)
- [2] J. Oh, S. Moon, S. Chang, and H. Kang, "Alamouti-coded DSP algorithm with a simplified PTBC de-coder for next-generation optical access networks," *Opt. Express* 32, pp. 18727-18741, (2024)
- [3] Rha, H. Y., Moon, S. R., Chang, S. H., Oh, J. Y., and Kang, H. S., "Feedforward Phase Estimation for Real-Time PTBC Decoding in High-Speed Optical Access Networks," *Journal of Lightwave Technology*, (2024)



그림 4. 100 Gbps 코히어런트 DSP 실험 셋업 구성