

Vitis HLS을 이용한 실시간 영상 엣지 검출 IP 및 시스템 설계

이민혁, 양현승, 노정훈

충북대학교

leemh0512@chungbuk.ac.kr, yhs0711y@chungbuk.ac.kr, jh.noh@chungbuk.ac.kr

Design of Edge Detection IP and System using Vitis HLS

Lee Min Hyeok, Yang Hyun Seung, Noh Jung Hoon

Chungbuk National University

요약

엣지 검출은 컴퓨터 비전과 이미지 처리에서 중요한 과정으로, 이미지 내 경계선을 식별하는 데 필수적이다. 엣지 검출은 강도가 급격하게 변하는 지점을 강조함으로써 중요한 구조적 정보를 추출하는 데 도움을 준다. 이는 객체 인식, 움직임 감지, 이미지 분할 등 장면 내 객체의 형태와 구조를 이해해야 하는 다양한 응용 분야에서 특히 중요하다. 본 논문은 Vitis HLS를 활용하여 실시간 비디오 응용을 대상으로 하는 엣지 검출 IP(Intellectual Property) 코어의 구현에 중점을 둔다. 제안된 접근 방식은 FPGA의 병렬 처리 능력을 활용하여 실시간 성능을 달성하기 위해 높은 처리량과 낮은 지연 시간을 제공한다. 본 논문에서는 Digilent의 Zybo Z7-20 보드를 사용하고, Vitis HLS를 이용하여 합성한 엣지 검출 IP를 Digilent가 제공하는 예제 디자인인 'Zybo Z7 HDMI Input/Output Demo'를 활용하여 최종적인 영상 처리 시스템을 구현하였다.

I. 서론

현대 기술 응용에서 실시간 영상 처리의 필요성은 크게 증가하고 있다. 이러한 실시간 영상 처리는 엣지 검출을 전처리 과정으로 활용함으로써 성능과 속도를 향상시킬 수 있다. 엣지 검출은 회색조의 급격한 변화를 기반으로 이미지 특징을 관찰하는 이미지 처리 기법으로, 많은 객체 인식 애플리케이션에서 사용된다. 특히 자율주행 시스템에서는 차선과 같은 경계(엣지)가 명확한 부분을 실시간으로 처리하는 것이 중요하여, 엣지 검출을 자율주행 시스템에 적용하는 연구가 활발히 이뤄지고 있다.[1],[2] 엣지 검출을 사용하면 구조적 속성은 강조하면서 이미지의 데이터를 함축시킬 수 있다.[3],[4],[5] 이렇듯 엣지 검출은 실시간 영상 처리의 성능을 향상시켜, 시스템이 빠르게 결정을 내릴 수 있도록 도와 성능과 신뢰성을 높인다.

하지만 실시간 영상 처리에는 높은 연산 부하 때문에 병렬 연산이 필수적이다. FPGA(Field Programmable Gate Arrays)는 병렬 처리가 가능하고 유연성이 뛰어나므로 FPGA를 통해 구현할 수 있다. 하지만 FPGA를 다룰 때, 기존의 전통적인 하드웨어 설명 언어(HDL)을 통한 IP 설계 방식은 설계와 검증에 많은 시간과 노력이 필요하다.

Xilinx Vitis HLS와 같은 고수준 합성(HLS) 도구는 이러한 도전 과제에 대한 유망한 해결책을 제공한다. HLS(High-Level Synthesis)는 C, C++ 또는 OpenCL을 사용하여 더 높은 수준의 추상화에서 복잡한 이미지 처리 알고리즘을 설계하고 구현할 수 있게 한다. 이 접근 방식은 전통적인 HDL인 VHDL이나 Verilog에 비해 개발 시간과 복잡성을 크게 줄여준다. 특히 Vitis HLS는 FPGA에서 맞춤형 하드웨어 가속기를 효율적으로 배포할 수 있는 경로를 제공한다.

이후 섹션에서는 Vitis HLS를 사용한 엣지 검출 IP의 설계 및 구현 과정을 자세히 설명할 것이다. 또한 설계한 IP를 어떻게 기존의 시스템에 통합하고 배포하는지에 대한 단계가 포함된다. 본 연구의 목표는 HLS 및 FPGA 기술을 활용하여 고성능 실시간 엣지 검출 시스템을 개발하기 위

한 포괄적인 가이드를 제공하는 것이다.

II. 본론

1. 배경이론

엣지 필터는 이미지 내 엣지를 강조하는 필터로, 다양한 방법론이 제안되어 왔다. 대표적인 엣지 필터로는 소벨(Sobel), 프리윗(Prewitt), 케니(Canny) 등이 있으며, 이들 필터는 주로 1차 미분을 이용해 엣지를 검출한다. 반면, 라플라시안(Laplacian) 필터는 2차 미분을 이용하여 엣지를 검출하는 방법으로, 이미지의 2차 미분 값이 큰 부분에서 엣지를 검출한다. 라플라시안 필터는 이미지의 2차 미분을 계산하여 엣지를 검출하는 필터이다. 수학적으로, 라플라시안 연산자는 다음과 같이 정의된다.

$$\nabla^2 f(x,y) = \frac{\partial^2 f}{\partial x^2} + \frac{\partial^2 f}{\partial y^2}$$

이 연산은 엣지를 강조하고 싶은 이미지와 라플라시안 필터를 컨볼루션 연산을 함으로써 구현할 수 있다. 본 논문에서는 라플라시안 필터가 잡음에 덜 민감하고, 보다 정확하게 엣지를 검출할 수 있기 때문에 라플라시안 필터를 선택하였다. 라플라시안 필터의 모양과 연산 방식은 그림 1을 통해 알 수 있다.

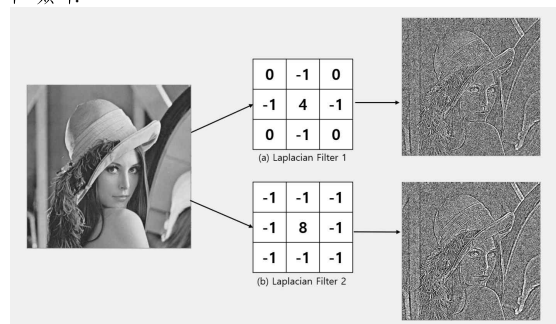


그림 1. 라플라시안 필터를 통과시킨 이미지

HLS(High-Level Synthesis)는 하드웨어 설계의 복잡성을 줄이기 위한 혁신적인 접근 방식이다. 전통적인 하드웨어 설계 방법론인 VHDL이나 Verilog는 매우 낮은 수준의 추상화에서 작업하기 때문에 개발 과정이 길고 복잡하다. 반면, HLS는 C, C++ 또는 OpenCL과 같은 고수준 프로그래밍 언어를 사용하여 하드웨어 설계를 보다 추상화된 수준에서 수행할 수 있게 한다. 이를 통해 개발자는 알고리즘의 동작을 더 쉽게 모델링하고, 최적화할 수 있으며, 하드웨어 구현의 세부 사항에 얽매이지 않고도 설계를 진행할 수 있다.

2. 실험환경

본 실험은 WSL(Window Subsystem for Linux)의 Ubuntu 20.04.06 LTS 환경에서 설치된 Vitis HLS 2023.1을 활용하여 진행한다. 사용한 FPGA 보드는 Zybo Z7-20이다.

3. 실험과정

Digilent가 제공하는 예제 디자인인 'Zybo Z7 HDMI Input/Output Demo'[6]를 분석하면 실시간 영상 데이터를 AXI4-Stream 프로토콜을 통해 주고받음을 알 수 있다. 따라서 엣지 검출 IP도 AXI4-Stream형 데이터를 받고, AXI4-Stream형 데이터를 내보내야 한다. 이를 위해 Vitis HLS에서 #pragma 지시어를 사용하여 포트를 지정하고, 내부에서 Xilinx Vision Library를 이용하여 엣지 검출을 구현한다.

3.1 Vitis HLS를 통한 IP 생성

Vitis HLS에서 이미지 및 영상을 처리하기 위해선 Vitis Vision Library[7]를 이용해야 한다. 이를 통해 이미지 및 영상을 xf::cv::Mat 객체에 담아 처리할 수 있다. 여기서 라플라시안 필터 알고리즘을 C++로 작성하여 합성을 진행하면 엣지 검출 IP를 생성할 수 있다.

3.2 Vivado를 통한 IP Integration

Vitis HLS를 통해 생성한 IP는 Vivado에서 불러오고, 다른 IP들과 Integration할 수 있다. 따라서 3.1에서 생성한 엣지 검출 IP를 Vivado에서 불러와서 기존 HDMI Input/Output 시스템에 통합시킨다. 이후 이를 HDL Wrapper를 생성하여 소스 코드로 변환한 후, Bitstream을 생성한다. 이후 이 Bitstream을 FPGA 보드에 배포하면, 실시간 영상에 대한 엣지를 검출하는 시스템 하드웨어가 완성된다.



그림2. Vivado에서 불러온 Vitis HLS를 통해 생성한 IP

3.3 Vitis를 통한 소프트웨어 코드 작성 및 실행

3.2에서 생성한 하드웨어 정보를 기반으로 Vivado에서 하드웨어 플랫폼 파일(.xsa)을 생성할 수 있다. 이 플랫폼 파일을 Vitis에서 열면 자동으로 기본 드라이버와 헤더파일을 생성해준다. 이러한 환경에서 C/C++와 같은 소프트웨어 코드를 통해 하드웨어를 제어할 수 있다.

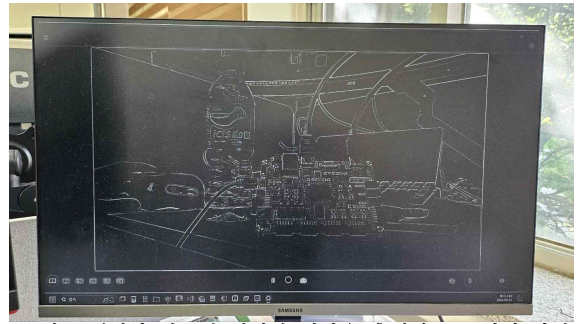


그림3. 엣지가 강조된 실시간 영상을 출력하는 모니터 화면

III. 결론

본 논문에서는 Vitis HLS를 활용하여 실시간 비디오 응용을 대상으로 하는 엣지 검출 IP 코어의 설계 및 구현에 대해 다루었다. Vitis HLS를 사용함으로써 전통적인 RTL 설계 방식보다 설계의 복잡성을 줄이고, 설계에 필요한 시간을 단축하여 효율적으로 IP 설계를 수행할 수 있었다. 특히, 엣지 검출 시스템은 작은 양의 데이터로 이미지의 특징을 함축적으로 담을 수 있어, 실시간으로 큰 이미지를 처리해야 하는 다른 컴퓨터 비전 시스템에 통합될 때 이미지 전처리를 실시간으로 효과적으로 처리할 수 있다. 이러한 접근 방식은 실시간 비디오 처리 응용 분야에서 매우 유용하며, 고성능의 하드웨어 가속을 통해 전체 시스템의 효율성을 크게 향상시킬 수 있다.

ACKNOWLEDGMENT

이 논문은 2022년도 정부(방위사업청)의 재원으로 국방기술진흥연구소의 지원을 받아 수행된 연구임 (KRIT-CT-22-040, 이종 위성군 우주 감시정찰 기술 특화연구센터)

참고 문헌

- [1] M. H. Hasan and D. Kr Das, "Analysis of Edge Detection for Road Lanes through Hardware Implementation," 2021 Fourth International Conference on Electrical, Computer and Communication Technologies (ICECCT), Erode, India, 2021, pp. 1-6
- [2] P. Quoc Thai, H. Duc Tri, B. Van Ga and P. Van Binh, "Application of Edge Detection Algorithm for Self-Driving Vehicles," 2022 7th National Scientific Conference on Applying New Technology in Green Buildings (ATiGB), Da Nang, Vietnam, 2022, pp. 225-228
- [3] T.-H. Hsu et al., "A 0.8 V multimode vision sensor for motion and saliency detection with ping-pong PWM pixel," IEEE J. SolidState Circuits, vol. 56, no. 8, pp. 2516-2524, Aug. 2021
- [4] V. Torre and T. A. Poggio, "On edge detection," IEEE Trans. Pattern Anal. Mach. Intell., vol. PAMI-8, no. 2, pp. 147-163
- [5] J. Canny, "A computational approach to edge detection," IEEE Trans. Pattern Anal. Mach. Intell., vol. PAMI-8, no. 6, pp. 679-698, Nov. 1986
- [6] Digilent Zybo Z7 HDMI Input/Output Demo <https://digilent.com/reference/programmable-logic/zybo-z7/demo/hdmi>
- [7] Vitis Vision Library Github https://github.com/Xilinx/Vitis_Libraries/tree/master/vision