

# WLAN 대역 신호 간섭 제거용 노치 필터를 내장한 45nm CMOS 공정 기반의 UWB LNA 회로 설계

이원준, 박나린, 이예훈  
서울과학기술대학교

[nalin730@naver.com](mailto:nalin730@naver.com), [700wns2@naver.com](mailto:700wns2@naver.com), [y.lee@seoultech.ac.kr](mailto:y.lee@seoultech.ac.kr)

## LNA for UWB system fabricated in a 45nm CMOS process with WLAN interference rejection using notch filter

Lee Won-Joon, Park Na-Lin, Ye Hoon Lee  
Seoul National University of Science and Technology.

### 요 약

본 논문에서는 WLAN 대역(5.2GHz) 방해 인자 제거를 위한 노치 필터를 내장하고 common-gate, cascode, source follower 단으로 구성된 ultra-wide band(UWB) low noise amplifier(LNA) 회로 설계를 연구하였다. LNA 공정에는 45nm CMOS 기술이 고려되었고, 해당 전력소비는 6.08mW 를 얻을 수 있었다. 또한 UWB 주파수 대역인 3.1~10.6 GHz 에서 최대 이득은 14.2dB, noise figure 는 5.7dB 의 성능을 획득할 수 있었다.

### I. 서 론

최근 들어 높은 데이터 전송 속도를 가지며 멀티밴드 활용이 가능한 무선 전송의 필요성이 증가됨에 따라, 3.1~10.6GHz 주파수 대역이 할당된 ultra-wide band(UWB) 시스템이 각광받고 있다. UWB 무선 전송에서는 대역폭 내에서 사용되는 무선랜(WLAN, 5.2GHz)이 방해 인자이므로, 원활한 통신을 위해서는 해당 주파수 대역을 제거하고 사용하는 것이 매우 중요하다. 일반적으로는 노치 필터를 이용하여 이러한 방해 인자를 제거하는 방법이 널리 사용되고 있다[1].

다양한 topology 를 이용한 광대역 CMOS low noise amplifier(LNA) 또한 최근 많이 연구되고 있다. 그 중 cascode topology 는 낮은 전력 소비와 적절한 이득 및 input matching 을 제공한다[4]. 그러나 강한 cutoff frequency 의존성에 의해 고주파에서 높은 noise figure 를 나타내는 경향이 있으므로, 이를 보완하기 위해 본 논문에서는 common-gate in cascade topology[2]를 고려하였다. 방해 인자 제거를 위한 노치 필터를 내장하고 저전력, 광대역으로 동작할 수 있게끔 LNA 회로를 설계하고 그 성능을 고찰하는 것을 목표로 한다.

### II. 본론

LNA 에 사용되는 트랜지스터는 채널 폭 길이가 작아질 수록 대역폭을 넓게 사용할 수 있고, 동작 속도가 증가하고 전력 소모가 감소하기 때문에 채널 폭 길이를 적절히 줄여 전체 성능을 향상시킬 수 있다[3]. 따라서 최적의 LNA 시스템을 설계하기 위해선 위 두 요소를 적절히 조합하는 것이 중요하다. 본 논문에서는 트랜지스터 채널 폭 길이는 45nm 로 설정하여 기존 180nm 공정에서의 LNA 성능 대비 보다 저전력 및 광대역으로 구현될 수 있도록 설계하였다. 중심 주파수를 6.85GHz 로 설정하고, 특정 주파수를 제거하기 위해 노치 필터를 cascode stage 에 연결하고

common-gate(CG) stage, source-follower(SF) stage 를 추가한 구조를 활용하여 설계하였다.

#### 1 중심 주파수 6.85GHz cascode stage LNA 설계

전체적인 동작 대역폭은 CG stage 에서 결정되지만 사용되는 소자들에 의해 resonance 가 발생하여 중간 대역의 이득이 감소될 수 있다. 따라서 실질적인 증폭을 담당하는 cascode stage 에서 중심 주파수 6.85GHz 에 맞게 구현될 수 있도록 설계하는 것이 가장 중요하다. 그림 1 은 cascode stage 가 6.85GHz 에 맞게 설계됨을 보여주는 S11, S21 그래프이다.

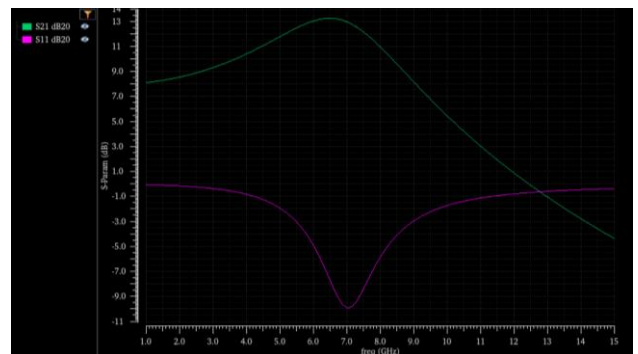


그림 1. 중심 주파수 6.85GHz cascode S11, S21

#### 2. 무선랜(WLAN, 5.2GHz) 제거 노치 필터 설계

UWB 주파수 대역 내에 존재하는 무선랜 주파수는 사용되는 대역이 UWB 와 겹치기 때문에 전체 신호의 방해 인자로 작용될 수 있다. 따라서 해당 주파수를 제거하기 위해 입력되는 신호 중 5.2GHz 대역의 주파수를 cascode stage 에서 노치 필터로 빠져나가게 하여 방해 인자를 포함시켜 증폭되지 않도록 설계하였다. 그림 2 에서는

5.2GHz 부근의 신호가 cascode stage 에서 노치 필터 쪽으로 빠져나가며 제거되는 것을 보여준다.

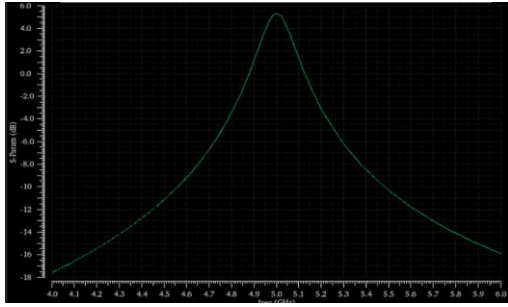


그림 2. Notch Filter S21 (5.2GHz 에서 최대)

### 3. 전체 회로 Impedance Matching 및 최종 시뮬레이션

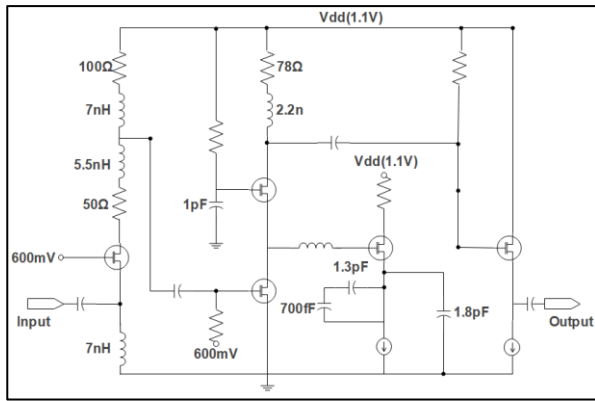


그림 3. 최종 45nm 공정 LNA 설계 회로도

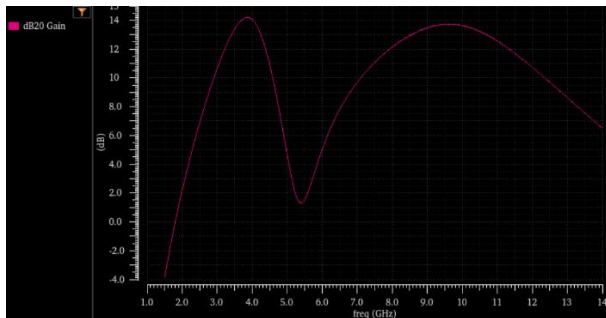


그림 4. 최종 설계 회로의 이득 및 주파수 대역

그림 3에서는 45nm 공정으로 설계한 최종 회로도를 제시하였다. 그림 4에서 최종 설계 회로의 이득 및 주파수 대역을 확인할 수 있는데, 최대 이득은 11.5dB 이고 전체 bandwidth 는 3.1GHz ~ 11.6GHz 임을 관찰할 수 있다. 그림 5에서는 최종 설계 회로의 noise figure(NF)를 도시하였다. 최소 NF 는 5.7dB 이고 고주파에서도 낮은 NF 를 유지하고 있음을 알 수 있다.

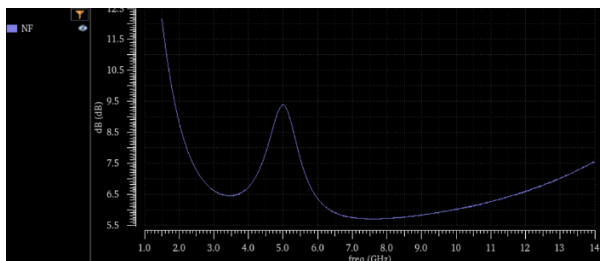


그림 5. 최종 설계 회로 noise figure

표 1. 각종 성능 비교 분석

비교 대상	Gain (dB)	NF (dB)	BW (GHz)	Power (mW)	노치 필터	공정
[1]	13.2	4.5	3.1~10.6	23	O	180nm
[4]	16	4	2.9~11	9.54	X	180nm
This work	14.2	5.7	3.1~11.6	6.03	O	45nm

표 1 은 본 논문에서 설계한 회로의 성능과 기존 연구 [1][4]에서 설계한 회로의 성능을 비교한 것이다. 표 1에서 알 수 있듯이 본 논문에서 설계한 회로는 UWB 광대역 주파수 대역폭 조건을 만족시키고, 180nm 공정으로 설계된 타 회로 성능과 비교했을 때 전력 소비 측면에서 우수한 성능을 보임을 알 수 있다.

### III. 결론

본 논문에서는 45nm 공정으로 제작된 CMOS 를 이용하고 노치 필터를 사용하여 5.2GHz 대역의 WLAN 방해 인자를 제거하는 UWB LNA 회로를 설계하고, 그 성능을 시뮬레이션을 통하여 검증하고 고찰하였다. 설계된 회로는 최대 이득 14.2dB, 최소 NF 5.7dB, 소비 전력 6.08mW 로 비교적 우수한 성능을 보였다. 이는 45nm 공정기술 적용으로 인해 채널 길이가 감소하였고, 따라서  $V_{dd}$  값과  $V_{gs}$  값이 감소하였기 때문이다. 또한 이러한 채널 길이 감소 효과는 이후에 실제 회로를 제작할 때 회로의 스피드 향상과 더불어 비용 측면에서도 이점을 가져올 것으로 예상된다.

### ACKNOWLEDGMENT

이 논문은 한국연구재단 이공분야기초연구사업의 지원(No. 2020R1F1A1071707)을 받아 수행된 연구임.

### 참 고 문 헌

- [1] B. H. Park, S. S. Choi, and S. C. Hong, "A low-noise amplifier with tunable interference rejection for 3.1 to 10.6-GHz UWB systems," *IEEE Microw. Wireless Compon. Lett.*, vol. 20, no. 1, pp. 1-3, Jan. 2010.
- [2] Y.-J. Lin, S. S. H. Hsu, J. De Jin, and C. Y. Chan, "A 3.1-10.6 GHz ultra-wideband CMOS low noise amplifier with current-reused technique," *IEEE Microw. Wireless Compon. Lett.*, vol. 17, no. 3, pp. 232-234, Mar. 2007.
- [3] J. K. Choi, S. G. Lee, W. C. Song, "Analysis and optimization of the CMOS transistors for RF applications with various channel width and length," Information and Communications University, pp. 579- 583, Jun. 2000.
- [4] Y. N. Shim, C. W. Kim, J. S. Lee and S. G. Lee, "Design of full band UWB common-gate LNA", *IEEE Microw. Wireless Compon. Lett.*, Vol. 17, No. 10, October 2007