

# 고신뢰성 전자소자 개발을 위한 PTFE 패시베이션 기반 $\text{In}_2\text{O}_3$ TFT 연구

이재윤, TUKHTAEV ANVAR, ZHAO HANLIN, ISAMADDINOV SHUKHRAT, BERDIEV JONIBEK  
ELMURODOVICH, WANG XAIOLIN, 최병근, 김용환, 터르쇼이 게르게이, 김성진\*  
충북대학교 전자정보대학

rnjsxnrn@naver.com, anvarjon20@gmail.com, z374644892@hotmail.com, isamaddinov19940328@gmail.com,  
jonkax7777@mail.ru, wxl0412@gmail.com, minhakim@chungbuk.ac.kr, k.yh@korea.kr,  
tarsolyger@protonmail.com, and \*ksj@chungbuk.ac.kr

## Study of PTFE passivation based $\text{In}_2\text{O}_3$ TFT for the development of high-reliability electronic devices

Jae-Yun Lee, TUKHTAEV ANVAR, ZHAO HANLIN, ISAMADDINOV SHUKHRAT, BERDIEV JONIBEK  
ELMURODOVICH, WANG XAIOLIN, Choi Byung Geun, Yong-Hwan Kim, Gergely Tarsoly, and Sung-Jin Kim\*  
College of Electrical and Computer Engineering, Chungbuk National University

### 요약

본 논문에서는 고성능/고신뢰성을 가진 산화물 반도체 트랜지스터 개발을 위해 PTFE 패시베이션 박막 기반  $\text{In}_2\text{O}_3$  TFT 디바이스를 제작하였으며, PTFE 패시베이션 박막의 농도에 따른  $\text{In}_2\text{O}_3$  TFT의 성능 최적화 연구를 수행하였다. 적절한 농도를 가지는 PTFE 패시베이션 박막은  $\text{In}_2\text{O}_3$  TFT의 전기적 성능을 향상시켰으며, 신뢰성과 안정성 측면에서 향상된 결과를 보였다.

### 1. 서론

Amorphous 기반 금속 산화물 반도체는 논리회로, 메모리, 센서로의 응용과 더 나아가 flexible, transparent 디스플레이로의 필수적 요소로 많은 관심을 받고 있다 [1]. 특히, 웨어러블 기기 및 지능형 IoT, 스마트 전자 장비에서의 급속한 성장 요구에 복잡하고 다양한 환경에서의 전기적 스트레스 안정성과 환경적 적응도 향상이 필수적인 과제가 되고 있다. 이에 본질적으로 유연하고 균일한 특성을 가진 amorphous 기반 TFT (thin-film transistor)인  $\text{In}_2\text{O}_3$  TFT가 연구되고 있으나, flexible 기판으로의 적용을 위한 200°C 이하의 낮은 열처리 공정은  $\text{In}_2\text{O}_3$  TFT 전기적 성능을 충분히 발휘시키지 못한다는 단점이 있다 [2].

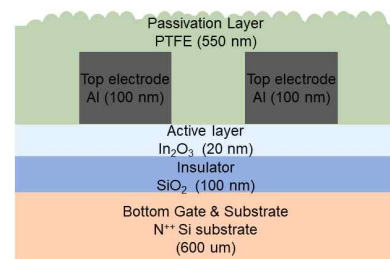
이에 본 논문에서는  $\text{In}_2\text{O}_3$  박막의 신뢰성과 안정성을 향상시키면서 전기적 성능을 유지할 수 있는 패시베이션 박막 적용 기술에 대해 연구하였다. 고가의 진공 증착 공정이나 복잡한 공정단계 없이 용액공정을 통한 패시베이션 박막을 코팅하여 제조비용적 경쟁력과 flexible 디스플레이 적용성을 조정하였다. 많은 패시베이션 박막 중 본 논문에서는 PTFE (polytetrafluoroethylene)를 사용하였으며, PTFE는 유연성, 소수성, 낮은 유전상수 등의 특성을 지닌 고분자로 알려져 있다 [3].

따라서 본 논문에서는 PTFE의 우수한 화학적 안정성과 유기 재료로서의 이점을 활용하여 서로 다른 농도로 만들어진 PTFE 패시베이션 박막이 적용된  $\text{In}_2\text{O}_3$  TFT의 성능 변화에 대해 분석하고, 최적의 PTFE 패시베이션 박막 농도에 대해 정의한다.

### II. 본론

그림 1은 본 논문에서 제작한 PTFE 패시베이션 박막이 적용된  $\text{In}_2\text{O}_3$  TFT 디바이스의 구조를 나타낸다. Top contact-bottom gate 구조를 가진 TFT이며, bottom gate 및 substrate로 n-type Si substrate를 사용하였으며, 열산화 공정을 통한 100 nm의 실리콘 산화막 ( $\text{SiO}_2$ ) 박막을 성장

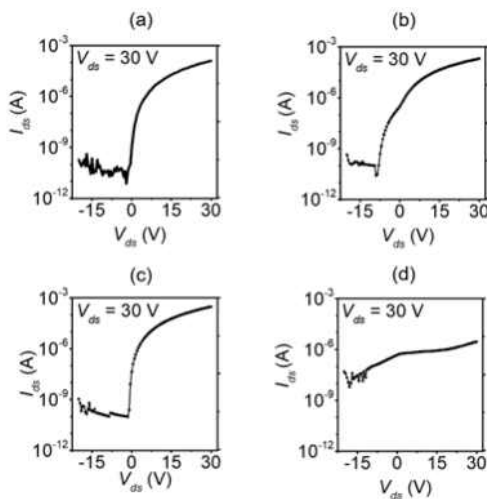
시켰다. 이후, SPM cleaning 공정을 마친  $\text{SiO}_2$  박막 위에 0.1 Mol 농도로 제작한 Indium solution 용액을 3000 RPM으로 30초간 spin-coating하여 20 nm의  $\text{In}_2\text{O}_3$  박막을 증착하였다. Indium solution 용액은 45°C에서 700RPM으로 충분히 stirring하였다. spin-coating 이후 pre-annealing 80°C 5분, main-annealing 200°C 2시간 진행하였다. 그 후, evaporation 공정을 통해 100 nm의 Al source/drain electrode를 증착하였다. 최종적으로, 0.5 wt%, 1 wt%, 2 wt%의 서로 다른 중량비를 가진 PTFE solution을 제작하였으며, 패시베이션 증착을 위해 3000 RPM으로 30초간 spin-coating 하였다. 제작한 TFT 디바이스의 전기적 특성은 상온의 압실 glovebox workstation에서 측정하였으며, 중량비에 따른 원소 함량 분석을 위해 EDS 분석을 실시하였다.



(그림1) PTFE 패시베이션 박막이 적용된  $\text{In}_2\text{O}_3$  TFT 디바이스

그림 2는  $\text{In}_2\text{O}_3$  TFT의 PTFE 패시베이션 박막 농도에 따른 transfer characteristic curve를 보여준다.  $V_{gs}$ 를 30 V인가한 상태에서  $V_{ds}$ 를 sweep하여 인가되는  $V_{ds}$ 에 따른  $I_{ds}$ 의 값을 측정하였다. Transfer characteristic curve를 통해 추출한 전이이동도 (mobility), 온/오프 전류비율 (on/off current ratio), 문턱전압 ( $V_{th}$ ),  $S/S_n$ 는 표 1에 나타내었다. 그림 2(a)는 PTFE 패시베이션 박막이 없는  $\text{In}_2\text{O}_3$  TFT 디바이스의 특성이

며, 전자 이동도가  $1.8 \text{ cm}^2/\text{Vs}$ ,  $V_{th}$  9 V,  $S/S'$  0.73의 낮은 온도에서의 열처리 공정을 적용한  $\text{In}_2\text{O}_3$  TFT 소자들의 평균 성능을 보였다. PTFT 패시베이션을 적용한 디바이스들은 각각 PTFE 농도에 따른 성능 변화를 보였는데, 그림 2(b)의 경우 그림 (a)에 비해 전자 이동도가  $0.3 \text{ cm}^2/\text{Vs}$  하락하였으나,  $V_{th}$ 가 9 V에서 2 V로 감소하였으며,  $S/S'$  또한 0.05 V/dev 감소하였다. 그림 2(c)의 경우,  $V_{th}$  3 V, 전자 이동도는  $2.54 \text{ cm}^2/\text{Vs}$ 로 증가하였으며, 특히,  $S/S'$ 가 0.48 V/dec로 패시베이션 박막을 적용하지 않은 디바이스에 비해 30% 이상 향상된 결과를 보였다. 그러나, 2 wt%의 PTFE 용액을 적용한 그림 2(d)의 경우, 반도체 특성을 보이지 않았다. 이는 높은 농도비에 의해 PTFE 패시베이션 막이 고르게 코팅되지 못한 것으로 사료된다. 위 결과를 통해, PTFE 패시베이션 박막의 적절한 농도를 설정하면,  $\text{In}_2\text{O}_3$  TFT의  $V_{th}$ 를 제어할 수 있으며, 전자 이동도와  $S/S'$ 를 향상시킬 수 있음을 확인할 수 있었으며, 1 wt%에서 가장 좋은 성능을 보였다.

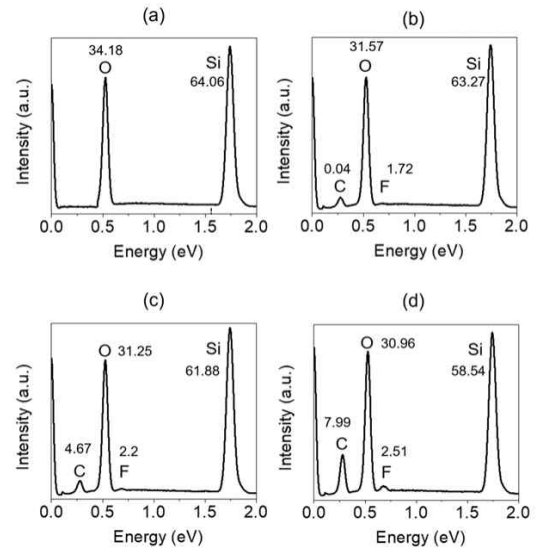


(그림 2) PTFE 패시베이션 박막 농도에 따른  $\text{In}_2\text{O}_3$  TFT의 transfer characteristic curve. (a) pristine, (b) 0.5 wt%, (c) 1 wt%, (d) 2 wt%

PTFE solution (wt %)	mobility ( $\text{cm}^2/\text{Vs}$ )	On/off current ratio ( $\times 10^6$ )	$V_{th}$ (V)	$S/S'$ (V/dec)
Pristine	1.80	1.62	9.04	0.73
0.5	1.50	6.33	2.14	0.68
1.0	2.54	4.20	3.02	0.48
2.0	-	-	-	-

(표 1) PTFE 패시베이션 박막 농도에 따른  $\text{In}_2\text{O}_3$  TFT의 전기적 특성

다음으로, 그림 3은 PTFE 패시베이션 농도에 따른 박막 내부 원소 함량을 분석하기 위해 측정된 EDS 결과를 나타낸다. PTFE 패시베이션 농도에 따른  $\text{In}_2\text{O}_3$  박막에 존재하는 Si, O, C-F 등의 원소 성분의 함량을 표시한다. EDS 분석 결과, Si와 O의 비율이 6:3정도이며, PTFE 패시베이션 박막 농도가 증가할수록 C-F 함량이 증가하는 것을 볼 수 있다. 특히, C의 비율은 0.04%에서 3.55%, 4.67%, 그리고 최종적으로는 7.99%에 도달하게 된다. C원소는 캐리어 역제를 유발할 수 있으며 [7], C 원소 함량의 급격한 증가는 캐리어 농도의 감소와 전기적 특성 열화에 영향을 끼친 것을 확인할 수 있었다.



(그림 3) PTFE 패시베이션 박막 농도에 따른  $\text{In}_2\text{O}_3$  박막 표면 EDS 분석

### III. 결론

본 논문에서는 서로 다른 농도를 갖는 PTFE 패시베이션 박막을 적용한  $\text{In}_2\text{O}_3$  TFT 디바이스의 성능 변화에 대해 연구하였다. 용액공정으로 제작한 PTFE 패시베이션 박막은 진공 공정 또는 고온 공정에 비해 단순한 제조과정의 장점이 있으며, 기본적인 전기적 성능을 유지하면서  $\text{In}_2\text{O}_3$  TFT의 전기적 신뢰성과 안정성을 증대시켰다. PTFE 패시베이션 박막의 과도한 농도는 TFT의 전기적 성능 열화의 직접적인 영향을 끼친 것을 확인할 수 있었으나, 적절한 농도로 제작된 PTFE 패시베이션 박막은 transfer characteristic을 향상시킬 수 있었다. 가장 직관적인 성능 향상으로는 전자 이동도( $1.80 \text{ cm}^2/\text{Vs}$ 에서  $2.54 \text{ cm}^2/\text{Vs}$ )와  $V_{th}$  (9.04 V에서 3.02 V)가 크게 향상되었으며, 특히 1 wt%의 농도를 가진 PTFE 패시베이션 박막에서 최적화된 성능을 보였다. 위 결과를 바탕으로 PTFE는 디바이스의 성능을 향상시킬 수 있으며, 패시베이션 박막으로서 신뢰성과 안정성을 향상시킴을 확인하였다.

### ACKNOWLEDGMENT

This research was supported by Basic Science Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Education(No. 2020R1A6A1A12047945)

### 참고 문헌

- [1] Mude, Narendra Naik, Ravindra Naik Bukke, and Jin Jang. "High Performance of Solution-Processed Amorphous p-Channel Copper-Tin-Sulfur-Gallium Oxide Thin-Film Transistors by UV/O3 Photocuring." ACS applied materials & interfaces 13.17 (2021): 20277-20287.
- [2] Liu, Ao, et al. "Fully Solution-Processed Low-Voltage Aqueous  $\text{In}_2\text{O}_3$  Thin-Film Transistors Using an Ultrathin  $\text{ZrO}_2$  Dielectric." ACS applied materials & interfaces 6.20 (2014): 17364-17369.
- [3] Y. Qu et al., "Organic and inorganic passivation of p-type  $\text{SnO}_2$  thin-film transistors with different active layer thicknesses," Semicond. Sci. Technol., vol. 33, no. 7, May. 2018, Art. no. 75001, doi: 10.1088/1361-6641/aac3c4.