

Tile-Gx72 네트워크 프로세서 기반 48 코어 부하분산 데이터 전송 시스템

최원석¹, 이상주², 김종오², 최성곤^{1*}

¹충북대학교, ²(주)에프아이시스

wschoi@cbnu.ac.kr, angelet86@fisys.co.kr, jokim@fisys.co.kr, *choisg@cbnu.ac.kr

Tile-Gx72 Network Processor-based 48 core Data Transmission System with Load Balancing

Won Seok Choi¹, Sang Ju Lee², Jong Oh Kim², Seong Gon Choi^{1*}

¹Chungbuk Univ., ²Fisys Inc.

요약

본 논문은 고성능 컴퓨팅 환경에서 네트워크로부터 유입된 데이터를 호스트 시스템으로 전달하기 위한 데이터 평면 가속화 기술을 제안한다. 자율주행차를 위한 서버 시스템은 IoT, 클라우드, AI 서비스 등 4차 산업 혁명의 주요 기술들과 융합을 통해 고성능 컴퓨팅 시스템으로 발전하고 있다. 자율주행차를 위한 다양한 플로우와 많은 데이터를 서버 시스템에서 처리하기 위해서는 네트워크로부터 서버 시스템으로 데이터를 전달하기 위한 네트워크 인터페이스의 역할이 중요하다. 따라서, 본 논문은 멀티 코어 기반의 고성능 서버 시스템에서 네트워크 인터페이스 카드로부터 호스트 CPU로 데이터 전달을 위한 Tile-Gx72 네트워크 프로세서 기반의 48 코어 부하분산 데이터 전송 시스템을 제안한다. 또한, 실증을 통해 Tile-Gx72 네트워크 프로세서 기반의 48 코어 기반 부하분산 데이터 전송 시스템의 성능을 확인한다.

I. 서론

4차 산업 혁명은 IoT, 클라우드, AI, 자율주행차 등 다양한 기술들의 융합을 통해 발전하고 있으며, 기술을 활용한 서비스를 제공함에 있어 필요로 하는 데이터의 활용과 양이 증가하고 있다[1].

특히, 자율주행차는 주행 정보, 환경 정보 등 센싱 정보를 수집하기 위해 IoT 기술을 활용하고 있으며, 지능화된 주행 판단 및 제어를 위해 AI 기술을 활용하고 있다. 자율주행차를 수집되는 데이터들은 정보를 필요로 하는 곳으로 전송하고 처리하기 위해 네트워크를 통해 송수신된다. IDC는 IoT 기술 발전에 의해 2025년에 생성되는 데이터 양이 73조 기가 바이트에 달할 것으로 예상하고 있으며, 자율주행차를 위한 데이터도 이에 포함된다[2].

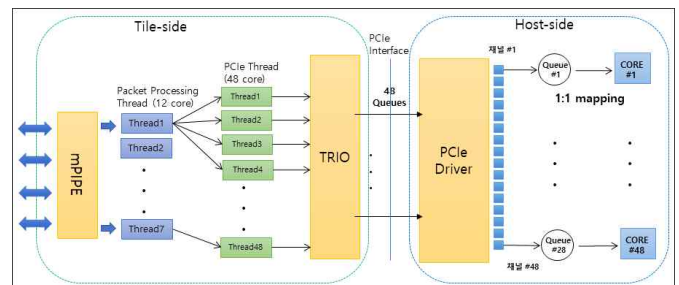
서버에서 다양한 플로우의 많은 데이터를 처리하기 위해서는 서버 호스트 시스템의 CPU 처리 능력 뿐만 아니라 데이터 평면에서의 데이터 송수신 능력도 중요하다. 따라서, 본 논문에서는 멀티 코어 기반의 고성능 서버 시스템에서 네트워크 인터페이스 카드로부터 호스트 CPU로 데이터 전달을 위한 Tile-Gx72 프로세서 기반의 48 코어 부하분산 데이터 전송 시스템을 제안한다.

II. 본론

본 논문에서는 호스트의 48개 코어에 네트워크로부터 네트워크 인터페이스 카드로 수집된 데이터를 플로우에 따라 부하를 분산하여 전달하기 위한 Tile-gx 72 네트워크 프로세서 기반의 48 코어 데이터 전송 시스템을 제안한다.

그림 1은 본 논문에서 제안하는 48코어 기반 부하분산 데이터 전송 구조를 보여 준다. 본 논문에서 제안하는 구조는 Tile-Gx72 프로세스 기반의 네트워크 인터페이스 카드로 구성되는 Tile-side와 네트워크 인터페이스 카드가 실장되어 있는 Host-side로 구성된다. Tile-side와 Host-side

는 PCIe 인터페이스를 통해 연결된다.



<그림 1. 제안하는 48 코어 기반 부하분산 데이터 전송 구조>

Tile-side는 Multicore Programmable Intelligent Packet Engine (mPIPE), Packet Processing Thread와 PCIe Thread, Transactional I/O (TRIO)로 구성된다.

mPIPE는 패킷 수집, 패킷 전송, 패킷 헤더 파싱, 패킷 분배, 패킷 버퍼 관리, 로드 밸런싱, L4 Checksum을 수행하는 하드웨어 패킷 프로세싱 엔진으로 일반적인 PC 또는 서버에서 네트워크 인터페이스 카드와 같은 역할을 수행한다[3].

TRIO는 Tile 메모리 시스템과 Host 메모리 시스템 간에 PCIe를 통한 데이터 전송을 위해 Direct Memory Access(DMA) 데이터 이동 및 버퍼 관리를 처리한다[3].

Packet Processing Thread는 mPIPE로부터 수집된 데이터를 처리하는 소프트웨어이고 PCIe Thread는 TRIO를 제어하여 Host로 데이터를 전달하는 소프트웨어이다[3].

Packet Processing Thread는 mPIPE로부터 수집된 패킷을 프로세싱하는 역할을 수행한다. Packet Processing Thread는 수집된 패킷의 헤더를 파싱하여 사전에 정해진 플로우 테이블과 비교하여 패킷을 필터링한다. 또한 필터링한 패킷에 대해 폐기, Redirect, 호스트로의 전송을 판단하

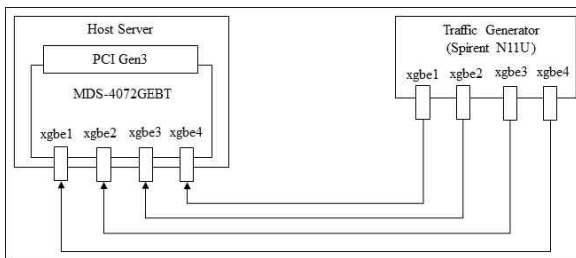
여 PCIe Thread로 전송한다[3].

PCIe Thread는 Packet Processing Thread로부터 수집된 데이터를 DMA를 통해 호스트로 전송하는 역할을 수행한다.

Host-side는 48 코어로 전송하는 네트워크 인터페이스 카드의 48 코어 기반 부하분산 데이터 전송 소프트웨어를 지원하기 위한 PCIe 드라이버와 호스트 코어로 구성된다.

본 논문에서 제안하는 48개의 호스트 코어로 데이터를 전송하기 위해 12개의 Tile 코어를 Packet Processing Thread를 위해 할당하고 48개의 Tile 코어를 PCIe Thread를 위해 할당한다. 12개의 Packet Processing Thread에서 패킷을 처리하고 각 Packet Processing Thread는 4개의 PCIe Thread로 패킷을 전달한다. 각 PCIe Thread는 PCIe 인터페이스를 통해 DMA 방식으로 매핑되어 있는 각 호스트 코어에 패킷을 전달한다.

III. 실증 시험



<그림 2. 실험 환경>

그림 2는 본 논문에서 제안하는 시스템의 실험 환경을 보여 준다. 네트워크 프로세서는 ㈜에프아이시스의 Tile-Gx72 네트워크 프로세서 기반 MDS-4072GEBT 네트워크 인터페이스 카드를 사용하여 실험하였다. 호스트 서버에 MDS-4072GEBT 네트워크 인터페이스 카드를 PCI Gen3 인터페이스를 통해 실장하고 제안하는 48 코어 데이터 전송 시스템을 동작시켰다. 트래픽 생성은 Spirent N11U 계측기를 사용하였다.

<표 1. MDS-4072GEBT 시스템 정보>

항목	규격
Network Processor	- Tile-Gx72 - core: 72
Interface	- 10Gbps SFP+ 4 port
PCIe	- PCI Gen3
OS	- Tile OS

MDS-4072GEBT의 시스템 정보는 표 1과 같다. 네트워크 프로세서는 Tile-Gx72가 장착되어 있으며, 10Gbps SFP+ 4 port를 지원할 수 있다. 또한 PCIe Gen2를 포함하여 PCI Gen3가 지원 가능하다.

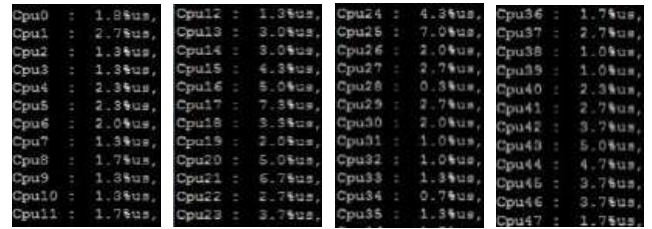
<표 2. 호스트 시스템 정보>

항목	규격
CPU	- Intel(R) Xeon(R) CPU - E5-2695 v3 @ 2.30GHz - Core: 14 x 2 - Thread: 28 x 2
PCIe	- PCI Gen3
OS	- CentOS 6

표 2는 호스트 시스템의 시스템 정보를 보여준다. 호스트 시스템은 Intel(R) Xeon(R) CPU E5-2695 v3 CPU를 사용하였으며, 총 56개의 논리적인 코어를 사용할 수 있다.

실험을 위해 계측기에서 4개 포트를 사용하여 트래픽을 발생시켰으며, MDE-4072GEBT에서 48개의 호스트 코어로 데이터를 전송한 결과를 보

여 준다. 트래픽 설정은 512바이트 서로 다른 IP 400개의 플로우로 설정하였으며 40Gbps로 트래픽을 전송하였다.



a. core 0-11 b. core 12-23 c. core 24-35 d. core 36-47

<그림 3. 호스트 코어 부하량>

그림 3은 제안하는 시스템의 실험 결과를 보여 준다. 그림 3은 CentOS Top 명령어를 사용하여 호스트 코어 부하를 보여 주는 것으로 48개의 호스트 코어에 패킷이 분산되어 부하가 걸리는 것을 확인하였다.

IV. 결론

본 논문에서는 호스트의 48개 코어에 네트워크로부터 네트워크 인터페이스 카드로 수집된 데이터를 플로우에 따라 부하를 분산하여 전달하기 위한 Tile-gx 72 네트워크 프로세서 기반의 48 코어 데이터 전송 시스템을 제안하였다. 또한, 실증 시험을 통해 제안 시스템을 실증 시험하였다. 실증 시험 결과 48개의 호스트 코어에 부하가 분산되어 패킷이 전송되는 것을 확인하였다. 제안 시스템은 고성능 서버 시스템에서 부하를 분산하며 네트워크 인터페이스에서 호스트로 패킷을 전송하는 시스템으로 다양한 플로우와 대용량을 트래픽 특성을 가지는 자율주행차, IoT 등 패킷 처리 서버에서 활용할 수 있다.

향후 연구에서 부하분산 데이터 전송 시스템을 호스트의 서비스 어플리케이션과 연동하여 성능 실험 및 연구를 진행할 예정이다.

*교신저자: 최성곤(choisg@cbnu.ac.kr)

ACKNOWLEDGMENT

본 연구는 과학기술정보통신부 및 정보통신기획평가원의 “지역지능화 혁신인재양성(Grand ICT연구센터) 사업의 연구결과로 수행되었음”(IITP-2022-2020-0-01462). 또한, 이 논문은 2022년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2019R1A2C1006167).

참 고 문 헌

- [1] Hansen, E. B., and Bøgh, S., “Artificial intelligence and internet of things in small and medium-sized enterprises: A survey. Journal of Manufacturing Systems,” 58, 362–372. 2021.
- [2] Tomer, V., and Sharma, S., “Detecting IoT Attacks Using an Ensemble Machine Learning Model. Future Internet,” 14(4), 102. 2022.
- [3] Ahn, J. W., Kim, J. B., Choi, W. S., Kim, J. O., and Choi, S. G., “Load distribution method using multicore based NIC for high-performance computing system,” In 2018 20th International Conference on Advanced Communication Technology (ICACT) (pp. 90–93). IEEE. Feb. 2018.