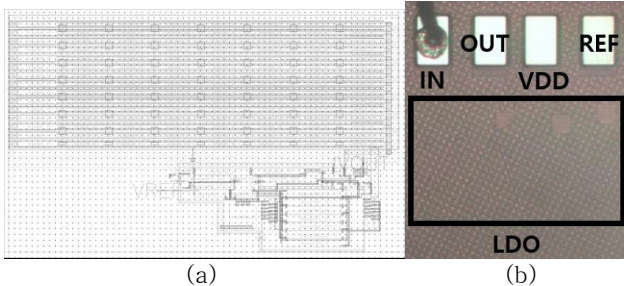


정확도를 높이는 역할을 한다. 제 2 루프는 오류 증폭기와 트랜지스터 M7 을 통해 V_{MIR} 와 V_{SET} 와 같은 직류 전압을 생성하여 공급하며 높은 루프 이득을 갖도록 설계하였다. 제 3 루프는 SSF 와 임피던스 감쇠 버퍼를 이용하여 1 개의 저주파 극점을 2 개의 고주파 극점으로 분리하여 내극(internal non-dominant pole)을 고주파 대역으로 이동시킬 수 있도록 하는 구조이다. 오류 증폭기 내부의 M9, M10, M11 의 외형비(aspect ratio)를 최적화하여 PSRR 을 개선시켰으며 V_{SET} 노드에 커패시터 C_1 을 추가하여 부하에 따른 Drop-out 전압의 변화를 줄였다.

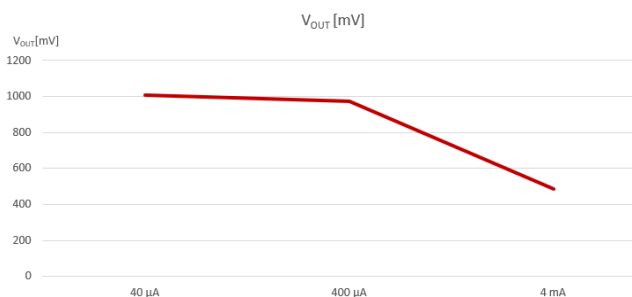
<그림 2>는 65 nm CMOS 공정을 이용하여 설계된 LDO 레귤레이터 레이아웃과 칩 사진이다. 칩 사이즈는 $70 \times 40 \mu m^2$ 이다.



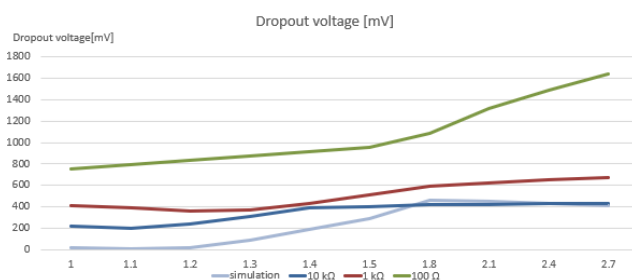
<그림 2> 65-nm CMOS 공정으로 제작된 LDO 레귤레이터 레이아웃(a)과 칩 사진(b)



<그림 3> 전원공급 제거비(PSRR) 시뮬레이션 및 측정결과



<그림 4> 부하전류 변화에 따른 출력 전압의 변화 측정결과



<그림 5> 입력 전압과 부하 저항에 따른 전압강하에 대한 시뮬레이션 및 측정결과

<그림 3>는 입력 전압이 1.4 V 일 때 PSRR 시뮬레이션과 측정 결과를 보이고 있다. 시뮬레이션 결과는 6.78 MHz 에서는 -45 dB, 13.56 MHz 에서는 -50 dB 의 특성을 얻었으며 1 MHz 의 3-dB 대역폭을 가졌다. 측정 결과는 6.78 MHz 와 13.56 MHz 에서 -26 dB 의 특성을 얻었으며 10 kHz 의 3-dB 대역폭을 가졌다.

<그림 4>은 1.4 V 의 입력 전압을 인가했을 때 부하전류 변화에 따른 출력 전압의 변화에 대한 측정 결과이다. 그림으로부터 부하전류가 커질수록 출력전압의 전압강하는 0.4 V - 0.9 V 로 증가하는 것을 알 수 있으며 이 레귤레이터의 부하 변동률(load regulation)은 부하전류가 작은 영역(light load)에서는 99 mV/mA 이며, 부하전류가 증가할수록 증가한다. 부하전류가 4 mA 로 클 때(heavy load)에서는 135 mV/mA 를 보이고 있다.

<그림 5>는 출력 저항에 따라 입력 전압을 달리하였을 때 전압강하 시뮬레이션과 측정 결과이다. 부하 저항이 커질수록 레귤레이터의 전압강하 변동률(line regulation)은 523 mV/V 에서 121 mV/V 로 감소했다.

III. 결론

본 논문에서는 삼성 65-nm CMOS 공정을 이용하여 LDO 레귤레이터를 설계하였다. 입력 전압이 1.4 V 일 때 PSRR 이 6.78 MHz 와 13.56 MHz 에서 -26 dB 의 특성을 얻었다. 입력 전압 1 V ~ 2.7 V 에서 121 mV/V 의 전압강하 변동률을 가지며 1.4 V 의 입력 전압에서 110 mV/mA 의 부하 변동률을 가졌다.

향후 연구에서는 설계한 LDO 레귤레이터 칩의 측정결과를 바탕으로 PSRR 과 dropout voltage, 3-dB 대역폭을 개선시켜 칩 특성을 개선시킬 계획이다.

※본 연구는 한국연구재단의 기초연구지원사업 (2019R1F1A1052728), 정보통신기술진흥센터의 대학 ICT 연구센터육성지원사업 (IITP-2019-2016-0-00291) 및 IDEC 의 MPW 사업의 지원으로 수행되었음.

참 고 문 헌

- [1] T. Y. Man et al., "Development of single-transistor-control LDO based on flipped voltage follower for SoC," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 55, no. 5, pp. 1392- 1401, May 2008.
- [2] J. Guo and K. N. Leung, "A 6- chip-area-efficient output-capacitorless LDO in 90-nm CMOS technology," IEEE J. Solid-State Circuits, vol. 45, no. 9, pp. 1896- 1905, Sep. 2010.
- [3] Y. Lu, Y. Wang, Q. Pan, W. Ki and C. P. Yue, "A Fully-Integrated Low-Dropout Regulator With Full-Spectrum Power Supply Rejection," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 62, no. 3, pp. 707-716, March 2015.