

2.4-GHz 무선전력전송 수신부 IC 용

CMOS 기반 Dickson 정류기 연구

한신, 송유근, 김창우
경희대학교, 전자공학과

gkstls1321@khu.ac.kr, ygsong77@khu.ac.kr, cwkim@khu.ac.kr

A Study on CMOS -Based Dickson Rectifier for 2.4-GHz WPT Receiver application.

Han Shin, Song Yoo Guen, Kim Chang Woo
Dept. of Electronic Eng., Kyung Hee Univ.

요 약

65-nm CMOS 공정을 이용하여 2.4-GHz 무선전력전송 수신부 IC 용 고효율 능동 정류기를 제작하였다. 제안된 정류기는 Dickson 차지 펌프를 이용한 정류기로 1 단, 2 단, 5 단으로 설계 및 제작하여 각각의 특성을 측정, 고찰하였다. 제작된 정류기는 입력 전력 0~16dBm 에서 작동 가능하며 1 단 정류기의 경우 최대 전력변환효율(power conversion efficiency; PCE)는 24.2%의 효율을 갖는다.

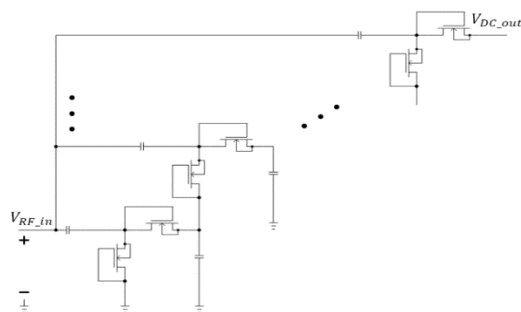
I. 서 론

무선전력전송은 3 가지로 자기유도방식, 자기공명방식, 전자기파방식으로 나뉜다. 자기유도방식과 자기공명방식은 짧은 전송거리라는 제약을 갖지만 높은 효율로 인하여 많은 연구가 진행되었으며 상용화 되었다. 이에 비하여 전자기파 방식의 무선전력 전송은 전송거리의 제약이 줄어드는 장점을 갖지만 낮은 효율로 인한 문제를 가지고 있어 이를 극복하기 위한 연구가 진행되고 있다.

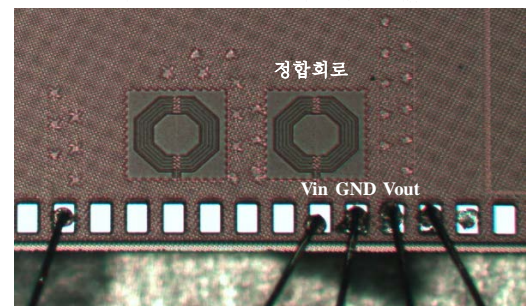
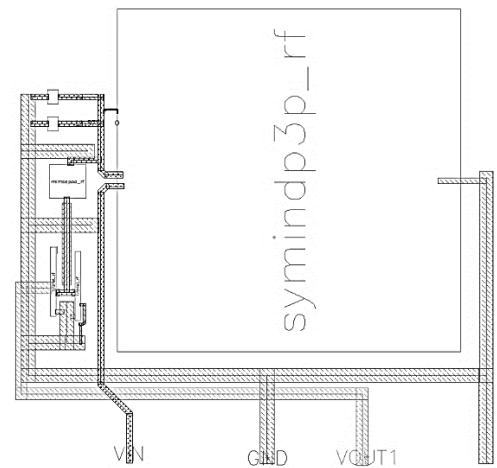
WPT 수신단의 블록은 크게 정류기, 직류 직류 변환기, LDO 레귤레이터로 나뉜다. 이중 앞단에 위치한 정류기는 수신부의 전력변환 효율을 결정하는 중요한 블록이다. 그렇기 때문에 전자기파방식의 낮은 전력효율문제를 해결하기 위해서 RF 신호를 DC 신호로 변환해주는 정류기의 연구는 필수적이다.

본 논문에서는 Dickson 정류기를 설계 및 제작하여 특성 및 효율을 측정하여 분석한다. 1 단, 2 단, 그리고 5 단 3 가지 정류기를 설계 및 제작하였다. 이를 통하여 Dickson 정류기의 중요한 특성인 단수에 따른 효율 변화 특성을 측정하여 고찰하였다.

II. 본론



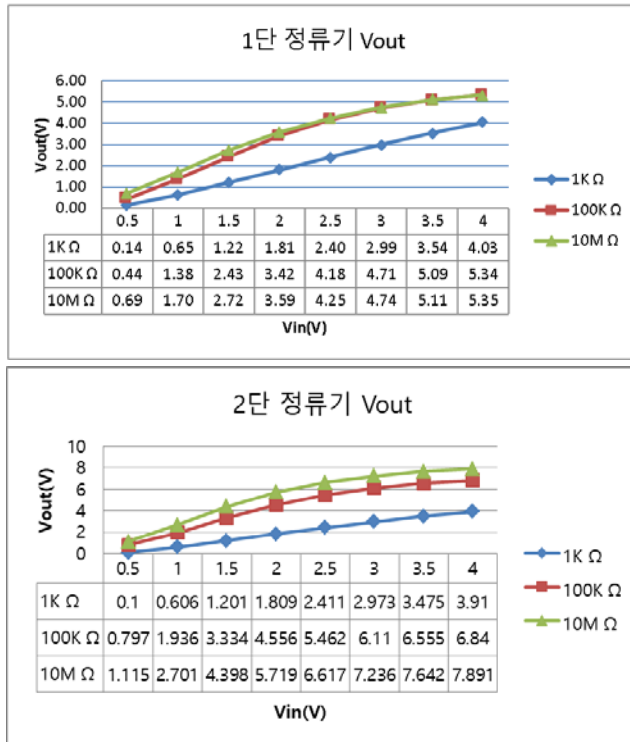
<그림 1> 2.4GHz N 단 Dickson 정류기 회로도



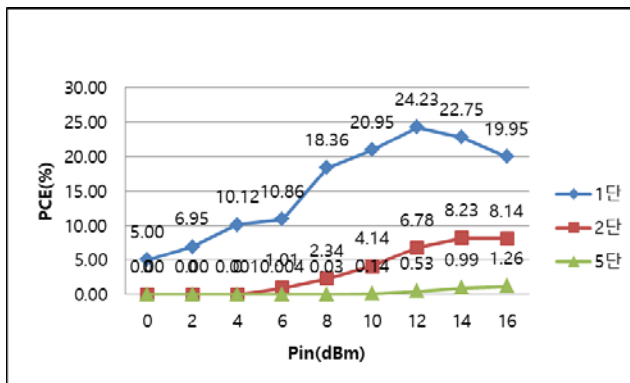
<그림 2> 65nm CMOS 공정을 이용하여 설계된 1 단 Dickson 정류기의 레이아웃(a)과 칩 사진(b)

<그림 1>은 본 논문에서 제안한 CMOS Dickson 정류기 회로도이다. Dickson 정류기는 N 개의 단으로 구성할 경우 출력이 $N(V_{in}-V_{th})$ 로 증폭되어 나오는 특징을 갖는다. 각 단마다의 커패시터와 MOSFET 는 모두 동일한 파라미터의 로 설계하였다..

<그림 2>는 65nm CMOS 공정을 이용한 1 단 Dickson 정류기의 레이아웃과 칩 사진을 보이고 있다. 1 단 경우 입력 임피던스 매칭을 통해 디자인한 정합회로가 On-chip 으로 구성되어 있다.



<그림 3> 로드 저항에 따른 2.4GHz 1/2 단 Dickson 정류기 시뮬레이션 결과



<그림 4> 2.4GHz 1/2/5 단 Dickson 정류기 PCE 측정결과

<그림 3>은 1 단과 2 단으로 설계한 Dickson 정류기의 부하 저항에 따른 출력전압 시뮬레이션 결과이다. 부하 저항은 1kΩ, 100kΩ, 10MΩ 3 가지로 설정하였다. 0.5V의 입력과 1k의 부하 저항에서 1 단/2 단 Dickson 정류기의 출력은 유사하고, 부하저항이 증가 할수록 1 단과 2 단 모두 출력 전압이 증가한다. 이때 입력전압이 2V 가 넘어가는 경우 1 단보다 2 단의 출력 전압이 더 높게 증가하는 것을 볼 수 있다. 이러한 특성을 확인하기 위하여 1 단, 2 단, 그리고 5 단의 Dickson 정류기 회로를 제작하였다.

2.4GHz 정류기는 반사 계수의 영향을 받기 때문에 임피던스 매칭을 이용하여 설계한 정합 회로를 통해서 반사 계수를 줄여야 한다. 1 단 Dickson 정류기는 Chip 에 입력 임피던스 정합 회로를 on-chip 형태로 구성하였고,

2 단과 5 단 Dickson 정류기는 칩 외부에서 정합 회로를 구성하도록 설계하였다.

<그림 4>는 제작한 칩의 1kΩ의 로드 저항과 100pF의 로드 커패시터에서 0~16dBm의 입력전력에서 PCE 효율을 비교한 그래프이다. 1 단의 정류기는 12dBm의 입력에서 최대 PCE 효율인 24.2%의 효율을 보이고 더 높은 입력 전력에서 효율이 낮아지는 것을 확인 할 수 있다. 2 단 Dickson 정류기는 14dBm의 입력전력에서 최대 PCE 효율인 8.23%의 효율을 보이고 5 단 Dickson 정류기는 16dBm에서 최대 1.26%의 효율을 보이며 입력 전력이 높아질수록 계속하여 효율이 증가하는 것을 확인 할 수 있다.

III. 결론

65-nm CMOS 공정을 이용하여 무선전력전송 수신부 IC용 Dickson 정류기를 설계하였다. 정류기 단의 수가 증가 할수록 높은 입력에서 더 높은 효율을 보이는 것을 확인 할 수 있다. 제한한 회로의 1 단 정류기 최대 PCE는 24.2%를 얻었으며, 향후 2 단과 5 단의 off chip 임피던스 정합회로를 설계하여 효율을 측정 할 계획이다.

※본 연구는 한국연구재단의 기초연구지원사업 (2019R1F1A1052728), 정보통신기술진흥센터의 대학 ICT연구센터육성지원사업(IITP-2019-2016-0-00291) 및 IDEC의 MPW 지원사업으로 수행되었음.

참 고 문 헌

- [1] Gharehbaghi, Kaveh & Kulah, Haluk & Zorlu, Özge & Kocer, Fatih. (2016). Modeling and Efficiency Optimization of UHF Dickson Rectifiers. IET Circuits, Devices & Systems. 10. 10.1049/iet-cds.2015.0323.
- [2] J. Yi, W. Ki and C. Tsui, "Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 54, no. 1, pp. 153-166, Jan. 2007, doi: 10.1109/TCSI.2006.887974.