

6.78 / 13.56-MHz 무선전력전송 수신용 CMOS 능동 정류기

송유근, 한신, 김창우
경희대학교, 전자공학과

ygsong77@khu.ac.kr, gkstls1321@khu.ac.kr, cwkim@khu.ac.kr

A CMOS Active Rectifier for 6.78 / 13.56-MHz WPT Receiver Application

Song You Geun, Han Shin, Kim Chang Woo
Dept. of Electronic Eng., Kyung Hee Univ.

요 약

65-nm CMOS 공정을 이용하여 6.78/13.56 MHz 무선전력전송 수신부 IC에 적용가능한 능동 정류기를 설계 및 측정하였다. 제안된 회로는 Cross-Coupled PMOS와 SR 래치와 비교기를 포함하는 능동 다이오드 페어 회로 그리고 전류원 회로로 구성된다. 능동 다이오드에서 발생하는 역전류를 최대한 억압하여 변환효율을 개선시켰다. 6.78MHz 과 13.56MHz 대역의 진폭 1V ~ 4V의 입력 신호에 대하여 측정 결과 입력 전압 1V ~ 4V에 대하여 최대 VCR 77.14%, PCE 37%의 측정 결과를 얻었다.

I. 서론

최근 몇 년간 무선전력전송 시스템은 여러 분야에서 활발하게 연구되고 있다. 무선 방식은 유선 방식에 비해 외부환경에 따른 전력 효율의 변화가 심하므로 안정적인 전력을 전달하기 위해서는 시스템 각 단의 회로가 고효율의 전력 전송 능력을 갖춰야 한다. 수신부는 크게 정류기, LDO 레귤레이터, 직류-직류 변환기로 구성된다. 가장 첫 단인 정류기는 교류 신호를 직류로 변환하는 회로로 수신부의 전력효율에 가장 중요한 역할을 함으로 고효율의 정류기 설계는 필수적이다.

기존에 발표된 CMOS 능동 정류기의 능동 다이오드의 on / off 지연으로 인한 역전류 발생을 개선하기 위해 비교기에 SR 래치를 피드백 회로로 추가하여 전압 offset을 통해 보상을 통해 역전류를 제어한다[1].

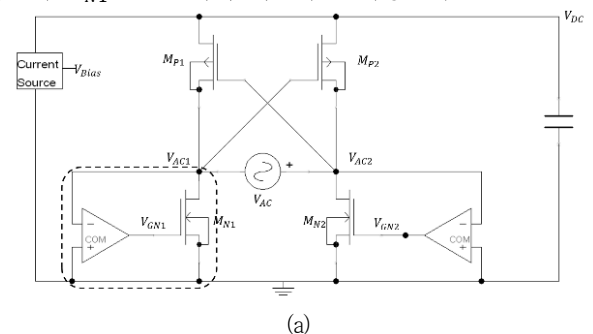
본 논문에서는 능동 정류기에서 역방향 전류 발생으로 인한 효율 감소 문제를 해결하는 방법을 제안한다. 6.78/13.56 MHz에서 활용 가능한 능동 정류기를 65-nm CMOS 공정을 이용하여 설계제작 하였고, 제작된 CMOS 칩을 COB 형태로 구성하여 특성 측정한 결과에 대하여 고찰한다.

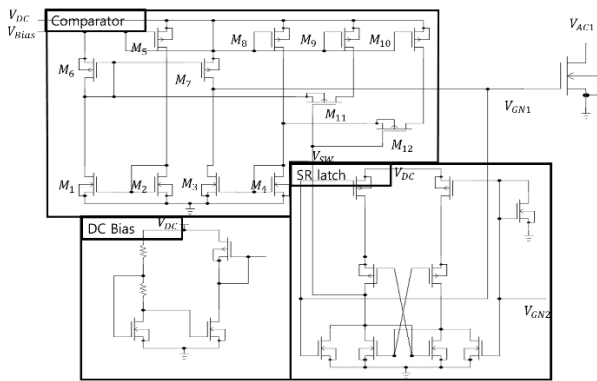
II. 본론

<그림 1>은 제안한 정류기의 회로도이다. 해당 회로는 cross-coupled PMOS, SR 래치와 비교기를 포함하는 능동 다이오드 쌍 그리고 DC 바이어스 회로로 구성된다 [2].

V_{AC} 가 V_{DC} 밑으로 내려가게 되면 비교기가 on 상태에 들어가는데 이때 비교기에 지연이 있다면 누설 전류가 발생할 수 있다. 게다가 역전류를 조절하는 소자가 미리 켜지게 되면 능동 다이오드를 off 시키게 되는데 하지만 V_{AC} 가 여전히 V_{DC} 보다 큰 상황이라면 능동 다이오드를 한 주기 안에서 다시 켜지게 만들고 이 과정에서 multiple-pulsing이 발생한다. 이 현상은 시스템의 효율을 감소시키는 결과로 이어진다.

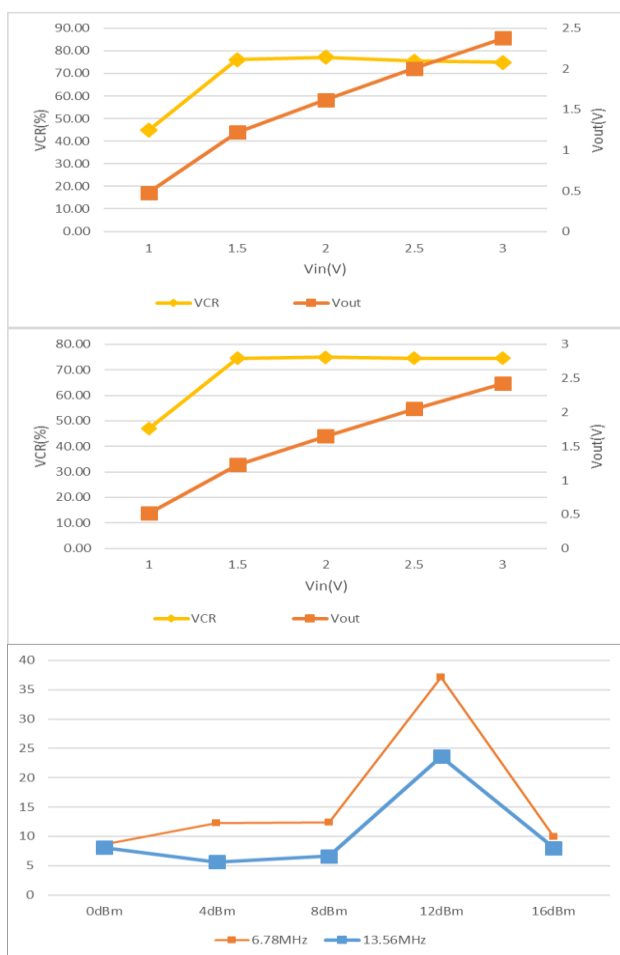
이를 개선하기 위해 제안한 회로의 동작 원리는 다음과 같다. $V_{AC1} - V_{AC2} > |V_{th}|$ (MP1,2의 문턱 전압)일 때, MP2는 켜지고, V_{AC1} 이 0 V 이하로 내려가게 되면 능동 다이오드 M_{N1} 이 켜지며 V_{DC} 를 V_{AC} 만큼 충전하게 된다. $V_{AC1} < 0$ 이면 비교기의 출력이 high가 되기 때문에 V_{SW} 를 low로 만든다. 그에 따라 [그림 1] (b)의 M_{11} 과 M_{12} 를 통해 일정한 직류 오프셋 전압을 회로에 공급한다. 또한 이 회로는 부가적으로 M_1 과 M_2 의 전류를 공급하여 슬루율을 향상시킨다. 따라서 제안한 회로는 $V_{AC1} > 0$ 되기 직전에 M_{N1} 을 off시켜 역전류를 예방한다.





(b)

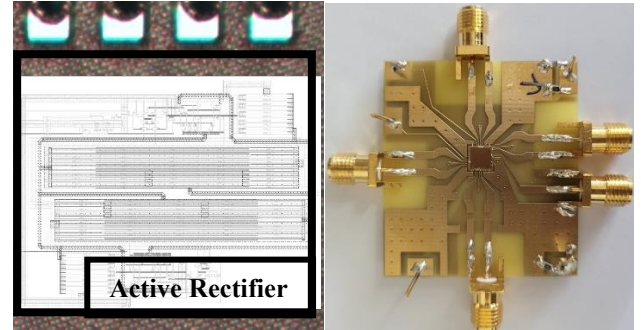
<그림 1> (a) 능동 다이오드 전파 정류 회로도, (b) 능동 다이오드 및 DC Bias 회로도



<그림 2> (a) 6.78 MHz VCR & Vout 측정결과, (b) 13.56 MHz VCR & Vout 측정결과, (c) 6.78/13.56 MHz PCE 측정 결과 ($R_L = 1K\Omega$, $C_L = 10pF$)

<그림 2>에서는 시뮬레이션 결과와 측정결과를 보이고 있다. $|V_{AC}|$ 가 1V~4V 일 때 VCR 결과는 다음과 같다. 1 V 일때는 회로가 정상적으로 동작하지 않아 낮은 효율을 보이지만 그 이후로는 대략 70% 중반의 효율을 보였고 최대 77.14 %의 결과를 얻을 수 있었다. 또한 6.78MHz 와 13.56MHz 의 주파수에 대한 차이는 1~2% 차이로 미비했다.

PCE 측정을 위하여 0 ~ 20dBm 을 입력하여 얻은 출력 특성 결과를 살펴보면, 0dBm 에서 16dBm 까지는 효율이 최대 37%로 상승 후 그 후에는 효율이 감소하는 경향을 확인할 수 있었고 주파수 차이에 따른 결과를 보면 해당 회로는 6.78MHz 에서 PCE 효율이 좋게 나옴을 확인할 수 있었다. 입력 전력에 따라 1%~13%의 차이를 보였다. PCE 측정 결과는 단순히 신호원의 입력 레벨로 계산한 결과로 향후 입력 측에 작은 저항을 직렬로 연결한 정류기에 입력되는 전력을 계산하면 크게 개선되리라고 생각된다.



<그림 3> 65-nm CMOS공정을 이용하여 제작된 측정용 능동 정류기 레이어와 칩 장착된 측정용 PCB 사진

III. 결론

65nm-CMOS 공정을 이용하여 무선전력전송 수신부 IC 용 능동 정류기를 설계, 제작 및 측정하였다. 기존의 CMOS 능동 정류기의 고질적인 문제인 역전류 문제를 SR 래치를 이용한 귀환회로와 게이트 전압 제어 회로를 추가하여 문제를 개선하였다. 제안한 회로의 측정 결과는 VCR 은 최대 77.14 %의 효율을 보였고, PCE 는 최대 37%의 결과를 얻었다.

ACKNOWLEDGMENT

※본 연구는 한국연구재단의 기초연구지원사업 (2019R1F1A1052728), 정보통신기술진흥센터의 대학ICT연구센터육성지원사업(ITP-2019-2016-0-00291) 및 IDEC의 MPW 제작 지원으로 수행되었음

참 고 문 헌

- [1] Y. Lu, W. Ki and J. Yi, "A 13.56MHz CMOS rectifier with switched-offset for reversion current control," 2011 Symposium on VLSI Circuits - Digest of Technical Papers, Honolulu, HI, 2011, pp. 246-247.
- [2] Y. Lam, W. Ki and C. Tsui, "Integrated Low-Loss CMOS Active Rectifier for Wirelessly Powered Devices," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 53, no. 12, pp. 1378-1382, Dec. 2006, doi: 10.1109/TCSII.2006.885400.