

효율적인 CRC 연접 패리티 극부호 설계 방법

주효상, 박지상, 길용성, 공동현, 김상호*

성균관대학교 전자전기컴퓨터공학과

*iamshkim@skku.edu

An Efficient Code Design for CRC-Concatenated Parity-Check Polar Codes

Hyosang Ju, Jisang Park, Yong-Sung Kil, Dong Hyun Kong, and Sang-Hyo Kim*

Department of Electrical and Computer Engineering, Sungkyunkwan University

요약

패리티 검사 부호를 활용한 극부호는 순환 중복 검사(cyclic redundancy check: CRC) 부호가 연접된 극부호에 비해 우수한 복호 성능을 가지지만, 미검출 오류율(undetected error probability) 성능이 저하된다. 이에 본 논문에서는 우수한 오류 검출 및 정정능력을 위해 CRC 부호와 패리티 검사 부호를 결합적으로 고려한 극부호의 설계 문제를 다룬다. 구체적으로, 패리티 비트 수에 따른 CRC 연접 패리티 검사 극부호의 복호 성능을 분석한다.

I. 서론

2009년 Arkan에 의해 제안된 극부호(polar codes)[1]는, 5G 초광대역 통신의 제어용 채널 부호로 채택되었다. 극부호는 순환중복검사(cyclic redundancy check: CRC) 부호나 패리티 검사(parity check: PC) 부호를 활용하여 부호의 최소거리 특성을 개선하고, 복호 성능 및 오류검출능력을 크게 향상시킬 수 있다. CRC 부호를 활용한 극부호[2]는 통상 정보블록 끝에 CRC 부호를 연접하며, 복호 후 CRC 검사를 통해 부호어의 유효성을 검사하므로 오류검출능력이 매우 우수하다. 반면, PC 부호를 활용한 극부호[3]는 정보블록 내 임의의 위치에 패리티 비트들을 삽입하여 단일 패리티 검사를 수행함으로써 부호의 취약성을 보완한다. 논문 [3]에서 제안한 PC 극부호는 패리티 비트들의 우수한 오류정정능력을 바탕으로 CRC 연접 극부호에 비해 모든 부호 파라미터에서 우수한 복호 성능을 가진다.

하지만, [3]에서의 PC 비트들은 오류정정의 목적으로 사용되는 비트들이므로 수신기 관점에서는 복호 결과가 올바른 지에 대한 여부를 확인할 수 없다. 즉, CRC 연접 극부호에 비해 미검출 오류율(undetected error probability)이 필연적으로 높아지게 된다. 이에 본 논문에서는 표준의 CA-SCL 복호기와 유사한 오류 검출율을 유지하는 동시에 PC 부호를 활용하여 CA-SCL 복호기 대비 우수한 복호 성능을 가지는 CRC 연접 PC 극부호의 설계 방법에 대해 분석한다. 구체적으로, 동일한 CRC 부호길이를 가정했을 때 패리티 비트 수에 따른 복호 성능을 비교한다. 실험 결과, 고정비트들을 모두 패리티로 사용했을 때 CA-SCL 복호기 대비 복호 성능이 더욱 개선되지만, 정보집합 내 후보비트를 추가적으로 패리티로 이용할 경우 점차 복호 성능이 저하됨을 확인하였다.

II. 본론

(1) CRC 연접 극부호와 PC 극부호

극부호의 복호 성능은 CRC 부호를 외부부호로 연접하고, SCL 복호 후 CRC 검사를 통해 부호어의 유효성을 검증함으로써 크게 개선될 수 있다 [2]. 그림 1(상)은 CRC 연접 극부호의 정보블록을 나타낸 것으로, 통상 CRC 부호가 정보블록 끝에 연접된다. 극부호는 CRC 부호의 활용을 통해 복호 과정에서 발생할 수 있는 오류를 효과적으로 검출할 수 있다.

반면 PC 극부호는 패리티 비트들이 정보블록 중간에 삽입되어 복호 중간 과정에서 복호기가 올바른 복호 경로를 선택할 수 있도록 도와주는 역할을 수행한다. 이 때 패리티 비트들은 오류검출이 아닌 오류정정의 목적으로 사용되며, [3]의 PC 극부호 설계과정은 아래와 같이 요약될 수 있다.

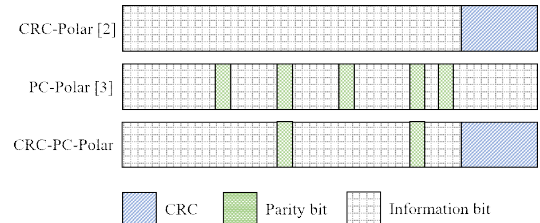


그림 1. 다양한 연접 기법에 따른 극부호의 정보블록 구성
(정보블록 내 비트들은 \mathbf{u} -도메인의 소스 비트들임)

- 1) 패리티로 활용할 비트 수 p 및 정보비트 수 K 에 대하여, 부호설계 방법에 따라 정보집합 A ($|A|=p+K$)를 결정한다.
- 2) PC 비트들의 위치를 결정한다. 집합 A 내 최소 해밍 무게(minimum Hamming weight: MHW)를 가지는 비트들의 수를 $n_{d_{\min}}$ 이라 할 때, $p \leq n_{d_{\min}}$ 이면 MHW를 가지는 비트들 중 양극화 신뢰도가 높은 상위 p 개를 패리티로 선택한다. 그렇지 않으면 MHW를 가지는 $n_{d_{\min}}$ 개의 모든 비트들과, 두 배 만큼의 MHW를 가지는 $(p-n_{d_{\min}})$ 개의 비트들을 패리티로 선택한다. 이렇게 결정된 패리티 비트들의 집합을 P_A , 정보비트들의 인덱스 집합을 $A_{IN}(=A \setminus P_A)$ 라 한다. 또한, 논문 [3]에서는 모든 고정비트들을 패리티로 활용하며, 이 비트들의 인덱스 집합을 P_A 라 한다.
- 3) 길이가 5인 순환 쉬프트 레지스터를 이용하여 PC 비트값을 결정한다.

(2) CRC 연접 PC 극부호를 위한 시스템 모델

PC 부호를 활용한 극부호[3]는 CRC 연접 극부호에 비해 우수한 복호 성능을 가짐에 반해 오류검출이 불가하다. 이에 본 논문에서는 논문 [3]의 PC 극부호 정보블록 끝에 CRC 부호를 연접하여 오류정정 및 검출이 모두 가능한 극부호 구조를 고려한다. 극 부호화 이전에 1) CRC 부호화, 2) 비트 분류(bit classification) 및 PC 부호화를 통해 CRC 연접 PC 극부호의 송신 과정이 수행된다. 복호 관점에서는 PC 부호를 활용한 SCL 복호 후, 생존한 모든 복호 경로들에 대한 유효성을 CRC 부호를 통해 검증한다. CRC 부호의 활용을 통해 우수한 오류검출능력을 유지하면서, 패리티 부호를 적절한 위치에 배치함으로써 오류정정능력을 향상시킬 수 있다.

(3) CRC 연접 PC 극부호를 위한 PC 비트 수 선택

CRC 부호가 연접되지 않은 PC 극부호[3]는 집합 A^c 내 모든 비트들을

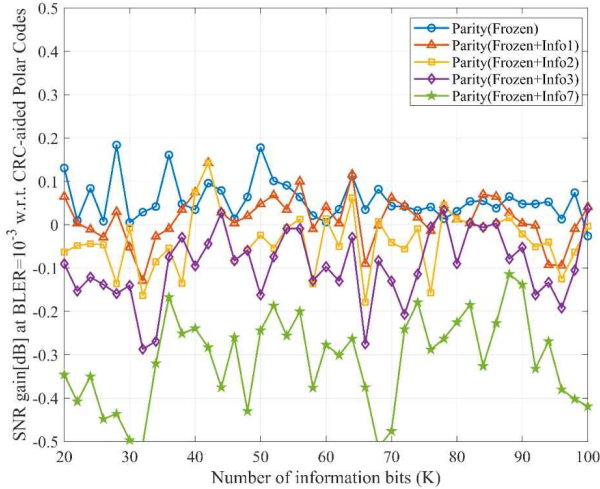


그림 2. 패리티 비트 선택 방법에 따른 CRC 연결 PC 극부호의 복호 성능 이득($N=128$)

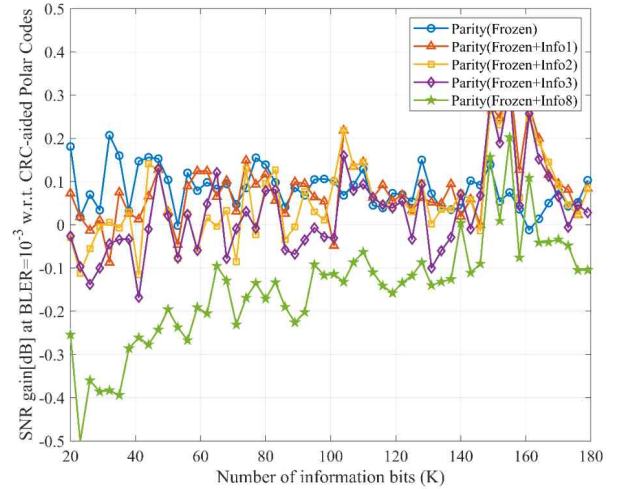


그림 3. 패리티 비트 선택 방법에 따른 CRC 연결 PC 극부호의 복호 성능 이득($N=256$)

패리티로 사용하며, 전송한 규칙에 따라 집합 A 내 일부 비트를 패리티로 추가 활용한다. 이 방법에 의해 선택된 패리티 비트 수 p 는

$$p = \left\lceil \log_2 N \left(\alpha - \left| \alpha \left(\frac{K}{N} - \frac{1}{2} \right) \right|^2 \right) \right\rceil \quad (1)$$

와 같이 결정되며, α 는 $L=8$ 인 SCL 복호의 경우 1 정도의 값으로 설정된다. 하지만 오류검출을 위해 CRC 부호를 연결하는 경우, 식 (1)의 최적 p 값이 달라질 수 있다. CRC 부호의 길이를 크게 늘리는 경우 부호율 손실 (rate-loss)에 의한 성능 손실이 커짐에 따라 제한된 길이의 CRC 부호 사용을 가정했을 때 (i.e., 동일한 오류 검출 능력 하에), p 값 및 A^c 에 해당하는 비트들의 패리티 사용 여부에 따른 CRC 연결 PC 극부호 복호기의 복호 성능을 분석할 필요가 있다. 이에 본 논문에서는 PC 비트 선택 방법에 따른 CRC 연결 PC 극부호의 복호 성능을 분석하고, 결론을 제시한다.

III. 실험결과

본 절에서는 패리티 비트 선택 방법에 따른 CRC 연결 PC 극부호의 복호 성능을 분석한다. 부호길이는 $N \in \{128, 256\}$, SCL 복호기의 리스트 크기는 $L=8$ 및 6비트 CRC를 고려하였다. 부호시퀀스는 [4]의 시퀀스를 사용하였고, QPSK (quadrature phase shift keying) 변조 및 AWGN (additive white Gaussian noise) 채널을 가정하였다. 그림 2와 3은 정보 비트 수에 따라 서로 다른 패리티 선택 방법을 적용하였을 때 블록 오류율 (block error rate: BLER) 10^{-3} 을 달성하는 SNR[dB]의 차이를 나타낸 것으로, 기준 성능은 패리티 부호가 없는 CRC 연결 극부호의 적용 시 SNR[dB]이다. 또한 그래프 내 “Frozen”은 고정비트를 모두 패리티로, “Frozen+Info x”는 고정비트 및 x 개의 후보 정보비트를 추가적으로 패리티로 이용한 CRC 연결 PC 극부호의 복호 성능을 의미한다.

그림 2와 3에 의하면, 고정비트를 패리티로 활용하는 CRC 연결 PC 극부호의 복호 성능이 전반적으로 CRC 연결 극부호에 비해 우수하다. 이는 고정비트가 실패 부호율에 영향을 주지 않아 부호율 손실에 의한 오류 손실이 발생하지 않고, 복호 중간 과정에서 해당 비트들에 의해 올바른 복호 경로를 선택할 수 있도록 도움을 주기 때문이다. 반면, 복호 중간 과정에서의 경로 선택을 돕기 위해 정보집합 내 비트들에서 패리티로 추가 활용하는 경우, 부호율 손실에 의한 성능 저하와 오류정정에 의한 성능 개선 간 절충 관계가 발생하게 된다. 실험 결과, 정보집합 내 비트들을 패리티로 많이 활용할수록 복호 성능이 점점 저하된다. 하지만, 정보집합 내 1

비트를 패리티로 이용할 때까지는 CRC 연결 극부호에 비해 더 넓은 영역에서 우수한 복호 성능을 가질 수 있다.

IV. 결론

본 논문에서는 패리티 비트 선택 방법에 따른 CRC 연결 PC 극부호의 복호 성능을 분석하였다. PC 극부호는 CRC 연결 극부호 대비 넓은 영역에서 우수한 복호 성능을 가지는 것이 밝혀져 있으나, 미검출 오류율이 필연적으로 높아진다. 이에 우수한 오류검출 및 오류정정 능력을 위해 CRC 부호와 패리티 부호가 결합적으로 연결된 극부호의 설계 문제를 다루었다. 실험 결과, 모든 고정비트를 패리티로 이용하는 경우 부호율 손실에 의한 성능저하에 영향을 주지 않고, 복호 중간과정에서 올바른 경로 선택에 도움을 주어 복호 성능이 개선된다. 반면 정보집합 내 비트들을 패리티로 더 많이 활용할수록 패리티에 의한 성능 개선 효과에 비해 정보집합의 전반적인 퀄리티가 감소함에 의한 성능 저하가 크게 발생함을 확인하였다. 즉, 고려한 시스템 모델 하에서는 고정비트만을 패리티로 활용하였을 때 가장 복호 성능 이득이 컸다. 추후 연구로는 실질적인 오류검출능력을 유지하면서 CRC 연결 PC 극부호의 복호성능을 분석해 볼 필요가 있다.

ACKNOWLEDGMENT

이 논문은 2018년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 글로벌박사양성사업(NRF-2018H1A2A1062163) 및 기초연구사업(NRF-2021R1A2C1008913)

참고 문헌

- [1] E. Arıkan, “Channel Polarization: A Method for Constructing Capacity Achieving Codes for Symmetric Binary-Input Memoryless Channels,” in *IEEE Trans. on Inf. Theory*, vol. 55, no. 7, pp. 3051–3073, July 2009.
- [2] K. Niu and K. Chen, “CRC-aided Decoding of Polar Codes,” in *IEEE Commun. Lett.*, vol. 20, no. 10, pp. 1668–1671, Oct. 2012.
- [3] H. Zhang et al., “Parity-Check Polar Coding for 5G and Beyond,” in *Proc. IEEE Int. Conf. on Commun. (ICC)*, May 2018.
- [4] G. He et al., “ β -expansion: A Theoretical Framework for Fast and Recursive Construction of Polar Codes,” in *Proc. IEEE Global Commun. Conf. (GLOBECOM)*, Dec. 2017.